

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-503622

(43) 公表日 平成9年(1997)4月8日

(51) Int.Cl. ⁶	識別記号	庁内整理番号
H 0 1 L 27/04		9448-4M
21/822		9544-4M
27/00	3 0 1	7735-4M
27/10	4 6 1	

F I	
H 0 1 L 27/04	A
27/00	3 0 1 B
27/10	4 6 1

審査請求 未請求 予備審査請求 有 (全 62 頁)

(21) 出願番号	特願平7-510460
(86) (22) 出願日	平成6年(1994)9月29日
(85) 翻訳文提出日	平成8年(1996)3月29日
(86) 国際出願番号	PCT/US94/11074
(87) 国際公開番号	WO95/09438
(87) 国際公開日	平成7年(1995)4月6日
(31) 優先権主張番号	08/130, 033
(32) 優先日	1993年9月30日
(33) 優先権主張国	米国 (US)
(81) 指定国	EP (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, JP

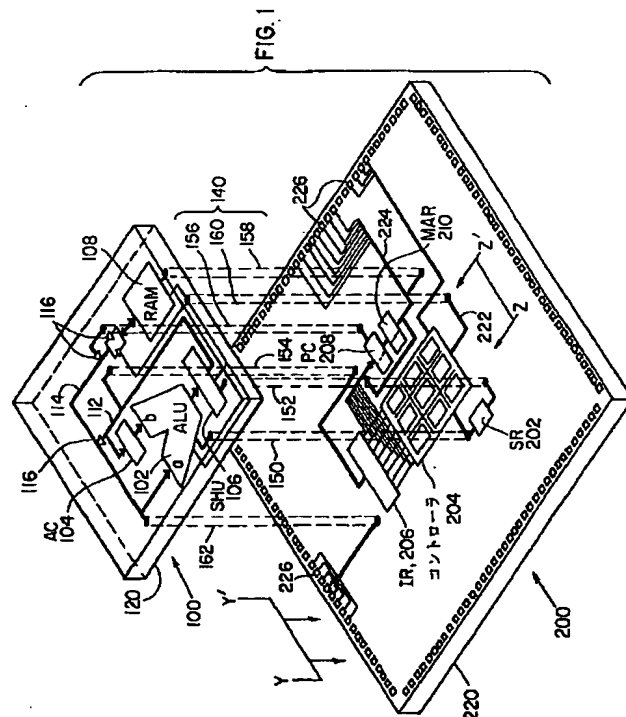
(71) 出願人	コピン・コーポレーション アメリカ合衆国マサチューセッツ州02780ト ーントン・マイルズスタンディッシュブー ルパード695
(72) 発明者	ザブラツキー, ポール・エム アメリカ合衆国マサチューセッツ州02062ノ ーウッド・ビーチストリート25
(72) 発明者	ザブラツキー, マシユウ アメリカ合衆国マサチューセッツ州02760ア ツトルボロ・メイストリート580
(74) 代理人	弁理士 小田島 平吉

最終頁に続く

(54) 【発明の名称】 転写薄膜回路を使用した3次元プロセッサ

(57) 【要約】

マイクロプロセッサが種々の層において構成される多層構造が、作製され、構造の各回路層を分離する絶縁層を通して垂直に相互接続される。各回路層は、分離ウェーハ又は薄膜材料において作製され、その後、層状構造へ転写され、相互接続される。



【特許請求の範囲】

1. 半導体材料において形成された第1回路層であり、データ処理動作を制御するために第1回路層においてコントローラを有する第1回路層と、半導体材料において形成された第2回路層であり、コントローラと接続され、かつコントローラによって制御される第2回路層における論理ユニットを有する第2回路層と、第1回路層と第2回路層の間に位置付けられ、それらを固着する接着層であり、コントローラと論理ユニットの間に制御信号を導くために、第1回路層と第2回路層の間の相互接続部を有する接着層とを具備するデータ処理デバイス。
2. 第1回路層が、さらに、メモリを具備する請求の範囲1に記載のデータ処理デバイス。
3. 第2回路層が、さらに、メモリを具備する請求の範囲1に記載のデータ処理デバイス。
4. 第2回路層との相互接続部によって接続された第3回路層をさらに具備し、相互接続部は、第3回路層を第2回路層に固着する第2接着層を貫通する請求の範囲1に記載のデータ処理デバイス。
5. 接着層が、ポリマー材料を具備する請求の範囲1に記載のデータ処理デバイス。
6. 接着層が、熱伝導性エポキシを具備する請求の範囲1に記載のデータ処理デバイス。
7. 接着層が、さらに微粒子フィラーを具備する請求の範囲1に記載のデータ処理デバイス。
8. 微粒子フィラーが、金属粒子を具備する請求の範囲7に記載のデータ処理デバイス。
9. 論理ユニット回路が、算術論理ユニットを具備する請求の範囲1に記載のデータ処理デバイス。
10. 半導体材料の第1層においてデータプロセッサの第1回路を形成することと、

半導体材料の第 2 層においてデータプロセッサの第 2 回路を形成することと、ボンディング層で第 1 層に第 2 層を結合することと、データプロセッサ制御信号が第 1 データプロセッサ回路から第 2 データプロセッサ回路に導かれるように、ボンディング層を貫通する相互接続部により、第 1 データプロセッサ回路を第 2 データプロセッサ回路に接続することを含むデータプロセッサを作製する方法。

1 1. 第 1 回路又は第 2 回路においてコントローラを形成することをさらに具備する請求の範囲 1 0 に記載の方法。

1 2. 第 1 回路又は第 2 回路においてメモリを形成することをさらに具備する請求の範囲 1 0 に記載の方法。

1 3. ポリマー接着剤により、第 1 回路層を第 2 回路層に結合することをさらに具備する請求の範囲 1 0 に記載の方法。

1 4. 絶縁基板における薄膜半導体層において第 2 回路を形成することをさらに具備する請求の範囲 1 0 に記載の方法。

1 5. 半導体層の第 1 層へ薄膜半導体層と付着絶縁層を転写することをさらに具備する請求の範囲 1 4 に記載の方法。

1 6. 半導体材料の第 1 層が、バルク半導体ウェーハを具備する請求

の範囲 1 0 に記載の方法。

1 7. 第 1 回路層又は第 2 回路層が、シリコンを具備する請求の範囲 1 0 に記載の方法。

1 8. 第 1 回路層又は第 2 回路層が、III-V 材料を具備する請求の範囲 1 0 に記載の方法。

1 9. 第 2 回路層の上に第 3 回路層を形成することをさらに具備する請求の範囲 1 0 に記載の方法。

2 0. 第 1 及び第 2 回路層の上に複数の付加回路層を形成することをさらに具備する請求の範囲 1 0 に記載の方法。

2 1. 半導体材料において形成された第 1 回路層であり、データ処理動作を制御するために第 1 回路層においてコントローラを有する第 1 回路層と、

半導体材料において形成された第2回路層であり、コントローラと接続され、かつコントローラによって制御される第2回路層における発光デバイスを有する第2回路層と、

第1回路層と第2回路層の間に位置付けられ、それらを固着する接着層であり、コントローラと論理発光デバイスの間に制御信号を導くために、第1回路層と第2回路層の間の相互接続部を有する接着層とを具備する光電子データ処理デバイス。

22. 第1回路層が、さらに、メモリを具備する請求の範囲21に記載のデータ処理デバイス。

23. 第2回路層が、さらに、メモリを具備する請求の範囲21に記載のデータ処理デバイス。

24. 第1回路層との相互接続部によって接続された第3回路層をさ

らに具備し、相互接続部は、第3回路層を第1回路層に固着する接着層を貫通する請求の範囲21に記載のデータ処理デバイス。

25. 接着層が、ポイマー材料を具備する請求の範囲21に記載のデータ処理デバイス。

26. 接着層が、熱伝導性エポキシを具備する請求の範囲21に記載のデータ処理デバイス。

27. 接着層が、さらに微粒子フィラーを具備する請求の範囲21に記載のデータ処理デバイス。

28. 微粒子フィラーが、金属粒子を具備する請求の範囲27に記載のデータ処理デバイス。

29. 第1回路層が、算術論理ユニットを具備する請求の範囲21に記載のデータ処理デバイス。

30. 半導体材料の第1層においてデータプロセッサの第1回路を形成することと、

半導体材料の第2層において発光デバイスを形成することと、

ボンディング層で第1層に第2層を結合することと、

データプロセッサ制御信号が第1データプロセッサ回路から発光デバイスに導かれるように、ボンディング層を貫通する相互接続部により、発光デバイスと第1データプロセッサ回路を接続することを含むデータプロセッサを作製する方法。

31. 第1回路においてコントローラを形成することをさらに具備する請求の範囲30に記載の方法。

32. 第1回路においてメモリを形成することをさらに具備する請求の範囲30に記載の方法。

33. ポリマー接着剤により、第1回路層を第2回路層に結合することをさらに具備する請求の範囲30に記載の方法。

34. 絶縁基板における薄膜半導体層において発光デバイスを形成することをさらに具備する請求の範囲30に記載の方法。

35. 半導体層の第1層へ薄膜半導体層と付着絶縁層を転写することをさらに具備する請求の範囲30に記載の方法。

36. 半導体材料の第1層が、バルク半導体ウェーハを具備する請求の範囲30に記載の方法。

37. 第1回路層が、シリコンを具備する請求の範囲30に記載の方法。

38. 第1回路層又は第2回路層が、III-V材料を具備する請求の範囲30に記載の方法。

39. 第2回路層の上に第3回路層を形成することをさらに具備する請求の範囲30に記載の方法。

40. 第1及び第2回路層の上に複数の付加回路層を形成することをさらに具備する請求の範囲30に記載の方法。

41. 半導体材料において形成された第1回路層であり、データ処理動作を制御及び実施するために第1回路層においてコントローラと論理ユニットを有する第1回路層と、

半導体材料において形成された第2回路層であり、第2データ処理動作を制御及び実施するために第2回路において第2コントローラと第2論理ユニットを有す

る第2回路層と、

第1回路層と第2回路層の間に位置付けられ、それらを固着する接着層であり、
第1回路層と第2回路層の間に制御信号を導くために、第1回

路層と第2回路層の間の相互接続部を有する接着層とを具備する並列処理デバイス。

42. 第1回路層が、さらに、メモリを具備する請求の範囲41に記載の処理デバイス。

43. 第2回路層が、さらに、メモリを具備する請求の範囲41に記載のデータ処理デバイス。

44. 第2回路層との相互接続部によって接続された第3回路層をさらに具備し、相互接続部は、第3回路層を第2回路層に固着する第2接着層を貫通する請求の範囲41に記載のデータ処理デバイス。

45. 接着層が、ポイマー材料を具備する請求の範囲41に記載の処理デバイス。

46. 接着層が、熱伝導性エポキシを具備する請求の範囲41に記載の処理デバイス。

47. 接着層が、さらに微粒子フィラーを具備する請求の範囲41に記載の処理デバイス。

48. 微粒子フィラーが、金属粒子を具備する請求の範囲47に記載の処理デバイス。

49. 各論理ユニット回路が、算術論理ユニットを具備する請求の範囲47に記載の処理デバイス。

50. 半導体材料において形成された第1回路層であり、データ処理動作を制御するために第1回路層においてコントローラを有する第1回路層と、
半導体材料において形成された第2回路層であり、コントローラと接続され、かつコントローラによって制御される第2回路層における論理ユ

ニットを有する第2回路層と、

第1回路層と第2回路層の間に位置付けられた回路経路指定層であり、第1回路層と第2回路層の間に信号を導く第1回路層に平行な平面において相互接続部を有する回路経路指定層と、

第1回路層と第2回路層の間に位置付けられ、それらを固着する接着層であり、第1回路層と第2回路層の間に信号を導くために、第1回路層、経路指定層及び第2回路層の間に相互接続部を有する接着層とを具備する多層データ処理デバイス。

51. 第1回路層が、さらに、メモリを具備する請求の範囲50に記載のデータ処理デバイス。

52. 第2回路層が、さらに、メモリを具備する請求の範囲50に記載のデータ処理デバイス。

53. 第2回路層との相互接続部によって接続された第3回路層をさらに具備し、相互接続部は、第3回路層を第2回路層に固着する第2接着層を貫通する請求の範囲50に記載のデータ処理デバイス。

54. 接着層が、ポリマー材料を具備する請求の範囲50に記載のデータ処理デバイス。

55. 接着層が、熱伝導性エポキシを具備する請求の範囲50に記載のデータ処理デバイス。

56. 論理ユニット回路が、算術論理ユニットを具備する請求の範囲50に記載のデータ処理デバイス。

57. 半導体材料の第1層においてデータプロセッサの第1回路を形成することと、

回路経路指定層を形成し、回路経路指定層を第1回路層に結合すること

と、

半導体材料の第2層においてデータプロセッサの第2回路を形成することと、

ボンディング層で回路経路指定層に第2層を結合することと、

データプロセッサ制御信号が第1データプロセッサ回路から第2データプロセッサ回路に導かれるように、回路経路指定層に沿ってボンディング層を貫通

する相互接続部により、第2データプロセッサ回路と第1データプロセッサ回路を接続することを含むデータプロセッサを作製する方法。

58. 第1回路又は第2回路においてコントローラを形成することをさらに具備する請求の範囲57に記載の方法。

59. 第1回路又は第2回路においてメモリを形成することをさらに具備する請求の範囲57に記載の方法。

60. ポリマー接着剤により、第1回路層を第2回路層に結合することをさらに具備する請求の範囲57に記載の方法。

61. 回路経路指定層の上に複数の第2回路層をタイル化することをさらに具備する請求の範囲57に記載の方法。

【発明の詳細な説明】

転写薄膜回路を使用した3次元プロセッサ

発明の背景

一般に、プロセッサは、2つの構成要素、即ち、実行される命令の順序と解読を監視する命令プロセッサと、データにおける命令によって要求される動作を行うデータプロセッサ、に分割されるアーキテクチャにおける構成ブロックとして使用される多様な超大規模集積回路（VLSI）チップから構成される。これらの構成要素は、しばしば、回路ボードにおいて取り付けられた2つの異なるチップであるか、又は2次元幾何学的形状において単一チップ上に作製される。命令プロセッサは、通常、命令を含むプログラムメモリを含む。各命令は、データプロセッサ内の要素を制御するために複数のビットを含む。加えて、コントローラは、実行される命令シーケンスをアクセスするために、プログラムメモリに適用されるアドレスを発行するために使用される。これらの命令をできる限り高速に、好ましくは1クロックサイクル以内に、実行することが望ましい。しかし、現方法を使用するマイクロプロセッサをレイアウトする幾何学的形状により、速度を増大する際の困難はまた、費用と製造の複雑さを増大させる。

データプロセッサは、8、16又は32ビットデバイスとして分類される。それらは、それぞれ、8、16又は32ビットにおいて算術又は論理演算を行うことができる。プロセッサには、全サイズ語において演算を行う限定能力を有するものがある。例えば、16ビットデータプロセッサはまた、全サイズ16ビット語の最下位バイト（8ビット）において演算を行うことができる。一つのそのような接近方法におい

て、16ビットプロセッサは、4ビットプロセッサの並列の組み合わせから形成される。この接近方法は、一般に、「ビットスライスト」技法と呼ばれる。

この方法は、データプロセッサチップの端子ピンの大規模な並列相互接続を伴う。付加的に、マイクロプロセッサチップを取り付けるために使用された印刷回路板において、空間は、必需であり、データプロセッサチップとチップを接続するために使用されるバスによって消費される。

以前の8ビット及び16ビットデータプロセッサは、バイポーラ半導体作製技術を使用して利用可能になったが、32ビットデータプロセッサは、低速の金属酸化シリコン作製手順を使用した。また、低速の一因として、以前のプロセッサは、一般に入出力動作に制限を課する単一の多重化入力／出力バスを使用した。

各チップの構成要素は、一般に、数千個のトランジスタ及びインバータから作られる。これらの要素は、ゲートアレイ、シフトレジスタ、メモリと他の構成要素を形成するために使用される。データプロセッサと、このため、マイクロプロセッサ自体の動作速度は、その内部回路のアーキテクチャーに大部分依存する。スループット（命令が実行されるために費やされる時間）は、データがその処理中に通過しなければならないゲート数に部分的に依存する。また、動作速度は、幾つかの動作を一つの命令に組み合わせることにより増大される。しかし、非常に多数の命令がデバイスのサイクル時間内に実行される高速スループットが可能なハードウェアを提供し、同時に、信頼性があり、比較的安価で、できるだけ簡単な作製手順を使用して構成される小空間においてその

ような構造を設けるための継続した必要性が存在する。

発明の要約

本発明は、超大規模集積回路の構造と作製に関し、さらに詳細には、データ処理、制御システムとプログラマブル計算のための垂直に積み重ねた相互接続回路要素に関する。好ましい実施態様は、同一又は分離半導体ウェーハにおいて作製され、その後積み重ねた、例えば、算術論理ユニット（ALU）、コントローラ、メモリ要素等の機能ブロックに分割されたマイクロプロセッサに係わる。一般に、機能ブロックは、アドレス、データ及び制御バスを使用して、相互に通信する。これらのバスは、通常、シリコンチップの表面に沿って経路指定される多数の金属線から成る。一般に、金属線は、機能ブロックの間のチップの領域において走り、相当な量の不動産を占め、多分、利用可能な領域の半分も占める。本発明において、回路の機能ブロックは、2つ以上の区分に分割され、回路の一つの区分は、バルクチップにあり、そして残りのブロックは、重なる薄膜上にあり

、構成要素は、介在する絶縁層を通して電氣的に接続される。

バルク及び薄膜半導体層は、発明の好ましい実施態様に組み込まれる。回路は、バルクシリコン、シリコンオンインシュレータ（SOI）構造、又はガリウムひ素の如くIII-V材料、あるいはバルクSi、SOI、及び／又は薄膜GaAsを含む複合構造において形成される。デバイスの多様な層は、層を結合する絶縁層と、好ましくは接着剤の如くポリマー材料を具備する絶縁層を貫通する導電相互接続部又は垂直バスを使用して、積み重ねられる。熱及び電気遮蔽は、熱劣化又はクロストークを低減又は防止するために、隣接回路層の間で使用される。

バルクチップ又は構造の薄膜層上のワイヤボンダッドは、チップが直結チップキャリヤに据えられるパッケージと通信するために必要とされる。これらのパッドは、ワイヤがそれらに結合されるほど十分に大きい必要がある。相互接続パッドは、回路の諸層を接続するために使用される。これらのパッドは、相互接続方法が、好ましい実施態様において、金属堆積によるために、ワイヤボンダッドよりも相当に小さくなる。相当接続パッドの相補対は、バルクとSOIチップにおいて使用される。ウェーハの表面に沿ってバスを走らせる代わりに、これらの多数は、機能ブロックの間の垂直方向（第3次元）において走り、能動回路のための大きな不動産を解放する。

好ましい実施態様において、回路の諸層を作製した後、SOI回路層は、バルクシリコンチップへ転写される。転写は、2つの回路層を固着させ、同時に、必要な電氣的分離を維持するために、バルクとSOIチップの間の電気絶縁接着層を使用して行われる。加えて、単一転写プロセスを使用する実施態様において、SOI材料の分離酸化層は、組み合わされたチップにおける最上層である。これは、能動回路を、ウェーハの表面から完全に分離し、表面での金属線の経路指定を可能にする。相互接続金属層は回路を完成するために、この同一金属層は、各層において貴重な回路空間を失うことなく、バスのために使用される。相互接続を行うために、ブライアが、バルクチップ又は下側薄膜半導体回路層における相互接続パッドまで切り込まれる。金属堆積は、下側及び上側機能ブロックを接続するために使用される。

この3次元接近方法の利点は、高速性と高実装密度である。高速度は、少なくとも2つの領域から生ずる。第1は、バス長の縮小である。チ

ップ回路において、速度は、チップの回りの信号を担持するワイヤの長さによってある程度まで限定される。チップにおけるすべてのワイヤは、静電容量とインダクタンスに付随される。ワイヤリード遅延の一般処置は、単純な伝送線分析から従われる。リード線が長いほど、付随遅延は長くなる。提案された接近方法において、短いバスは、遅延を縮小させ、高速回路性能を生ずる。

速度改良の第2源は、SOI自体から獲得される。回路は、2つの部分、又は他の実施態様において3つ以上の層に分割される。一つの実施態様において、第1部分は、バルク回路である。しかし、このシリコン回路は、SOIにおいて完全に置換することができる。

SOI回路に対する動作速度の改良は、3つの領域から起因する。多分、最大速度エンハンスメントは、回路が厚い酸化層によってバルクシリコンウェーハから分離されるという事実から生ずる。これは、金属と基板に付随した静電容量とともに、個別デバイスの静電容量を低減させる。静電容量の第2の低減は、CMOS回路構成要素において共通な露出ソース及びドレイン領域における低減により達成される。これは、SOIにおいて、ソース/ドレイン注入が、酸化層によって終端されるという事実の結果である。これは、ウェル接合へソース/ドレインに付随した静電容量の大部分を除去する。最終的な速度増大は、薄膜SOIデバイスを使用して、報告された。これらは、 $0.1 \sim 10 \mu\text{m}$ の範囲において、好ましくは $1.0 \mu\text{m}$ 以下の厚さを有するシリコン層において作製される。前記の如く、半導体材料のバルク又は薄膜層はまた、標準化学蒸着プロセスを使用して作られたGaAsの如くIII-V材料を使用する。

記録密度の増大は、2つの源から来る。3次元接近方法は、回路の断片の相互の積み重ねを可能にする。他の修正のない二層積み重ねは、標準2D回路の領域の半分をすでに消費している。第2の増大は、チップ上にバスを経路指定するために必要とされた領域の削減により、利用可能である。これは、再び、組み合わ

せ回路の領域を半減させ、4倍の最小記録密度の減少につながる。

一つの実施態様において、高速を要求するブロックは、例えば、SOIにおいて作製される。第2の代替案は、8ビットマイクロプロセッサを創成するために2つの層において、又は16ビットマイクロプロセッサを創成するために4つの層において組み合わされる4ビットプロセッサにマイクロプロセッサを分割するものである。実施態様は、いろいろな相互接続パッド構成を使用する。一つの実施態様において、例えば、上側及び下側回路におけるパッドは、わずかにオフセットされる。これは、個別ブライアを相互までエッチングすることを可能にする。それから、堆積金属は、2つのパッドを相互接続する。位置合せ公差は、必要なパッドサイズを決定する。

一つの実施態様において、試験デバイスは、SOIマスクセットにおいて含まれる。これらは、性能を決定するために、個別デバイスを厳密に調べることを可能にする。試験チップは、リング発振器とゲート時間遅れ連鎖の如く、回路性能パラメータにおいて情報を設ける小形試験回路を含む。特別な金属層は、小形相互接続パッドを試験用の大形パッドまで経路指定するために使用される。

完全なマイクロプロセッサを構成する各回路層を完成させ、試験したならば、SOI回路は、バルクウェーハへ転写される。転写プロセス

の重要な見地は、2つ以上の回路層が相互に位置合せされることである。このタスクの第2の見地は、いったん組み合わされたならば、回路の部分が一体化されることである。これは、ホールを介して、適切な相互接続パッドまでエッチングし、アルミニウムを堆積させ、回路と必要とされる経路の間の相互接続部を創成するためにアルミニウムをパターン化することにより行われる。

3層以上を使用する実施態様において、相互接続は、各連続層の転写後、又は2層以上の後に行われる。そのような接続は、光学又は電氣的であり、外部で、又は各層を接続する結合層を通して走る。接続はまた、回路経路指定層を使用して、同一層又は異なる層における回路要素の間で行われる。回路経路指定層はまた、その上に回路を有し、あるいはセラミック又は炭化シリコンの如く電気又は熱絶縁材料から作られる。回路経路指定層は、片側又は両側において金属被覆線

又はバスを形成している。非能動部位において、回路経路指定層は、層間の絶縁の向上のために接地まで連結された金属で片側又は両側をパターン化される。

二重転写プロセスも使用され、この場合、薄膜には回路を作製され、第2可処分又は再使用可能な基板への転写、必要に応じて、回路層の裏面処理、及び積み重ね構造と相互接続金属被覆への転写によって従われる。デバイスの各層における転写薄膜回路のタイル化がまた、使用される。これらの転写及びタイル化方法は、3次元構造への発光ダイオード（LED）とディスプレイを含む光電子構成要素を組み込むために使用される。

図面の簡単な説明

発明の前述及び他の目的、特徴及び利点は、添付の図面において示さ

れた如く、発明の好ましい実施態様の次の詳細な説明から明らかになるであろう。種々の図面を通じて、同様の参照文字は同一部分を参照する。図面は、必ずしも等尺ではなく、代わりに、発明の原理を示すことが重視される。

第1図は、本発明を具現する多層マイクロプロセッサの分解概略図である。

第2図は、上側層の頂部から見た時の層間コネクタを示す。

第3A～3H図は、好ましい実施態様において使用されたトランジスタの作製を示す好ましいプロセスフロー順序図である。

第4A図は、単一転写プロセスを使用して作製された層間コネクタの断面図である。

第4B図は、好ましい単一転写プロセスを使用して作製された層間コネクタの断面図である。

第4C図は、二重転写プロセスを使用して作製された層間コネクタの断面図である。

第4D図は、外部相互接続部の断面図である。

第5A図は、絶縁層上にパターン化された接地金属ランを使用する多層遮蔽の断面図である。

第5B図は、分離遮蔽層においてパターン化された金属ランを使用する多層遮蔽の断面図である。

第6図は、単一転写プロセスを使用して層状にされる多重の個別ダイを有する2つの膜層の分解図である。

第7図は、個別多層マイクロプロセッサの個別化によって従われた、二重転写プロセスを使用して位置合せ及びエポキシ樹脂で接着される

膜層の工程図である。

第8図は、第1層の外周部に作製された多くの熱を生成する構成要素を有する、完成した多層マイクロプロセッサの斜視図である。

第9A図は、単一層において交差する信号を多重層において経路指定するために中間層がいかに使用されるかを示す分解斜視図である。

第9B図は、下側層のために信号を経路指定するために上側層がいかに使用されるかを示す分解斜視図である。

第10図は、ランダムアクセスメモリの付加層を有する多層マイクロプロセッサの分解斜視図である。

第11図は、多層化ビットスライストマイクロプロセッサの分解斜視図である。

第12図は、層状マルチプロセッサシステムの分解斜視図である。

第13図は、上側層においてランダムアクセスメモリと下側層においてプログラマブル論理デバイスを有する、多層マイクロプロセッサの分解斜視図である。

第14図は、上側層において発光ダイオードアレイを有する多層マイクロプロセッサの分解斜視図である。

第15図は、多層タイル化技術の分解斜視図である。

第16A～16F図は、発明の好ましいプロセスを示す。

好ましい実施態様の詳細な説明

本発明の好ましい実施態様の分解概略図が、第1図において示される。多層マイクロプロセッサの基本構成要素は、第1層200と第2層100において作製される。第1層200は、シリコン基板220を具備し、その上に、マイクロプロセッサ論理ブロック、相互接続線、及

びボンディングパッドが作製される。第2層100は、薄膜120を具備し、その上に、マイクロプロセッサ論理ブロックと相互接続線が作製される。第1層200は、ボンディングパッド226へのアクセスを設けるために、第2層100よりも面積が大きい。

標準マイクロプロセッサは、幾つかの論理ユニット、即ち、コントローラ204、状態レジスタ202、プログラムカウンタレジスタ208、メモリアドレスレジスタ210、命令レジスタ206、算術論理ユニット102、アキュムレータレジスタ104、シフトレジスタ106、ランダムアクセスメモリ108、から成る。データバス114、アドレスバス224、及びいろいろな制御線222の如く相互接続パスは、論理ユニット間、又は論理ユニットとオフチップ資源の間の通信を設ける。オフチップを接続するパスは、チップキャリヤピンへワイヤ結合されたボンディングパッド226へ経路指定される。データバス114の如く、幾つかの論理ユニットへ共通なパスは、共通データバス114に対して個別論理ユニットを接続及び除去するために、バス裁定論理を必要とする。コントローラ204において集結された裁定論理は、バス裁定プロトコルにより、いろいろなバッファ116を活動化及び非活動化する。

一般マイクロプロセッサは、ソフトウェアの使用を通してプログラムされる。ソフトウェアは、コントローラ204が理解するフォーマットへコンパイラによって符号化される一連の論理命令である。マイクロプロセッサがリセットされた後、ソフトウェアは、内部ランダムアクセスメモリ108又はオフチップランダムアクセスメモリへダウンロードされる。代替的に、ソフトウェアは、プリプログラムされた読み取り

専用メモリによって供給される。

初期的に、プログラムカウンタレジスタ208は、呼び出される命令のアドレスを含む。アドレスは、プログラムカウンタレジスタ208からメモリアドレスレジスタ200へ移動され、そしてプログラムカウンタレジスタ208が増分される。アドレスバス224へのメモリアドレスレジスタ210の内容を計時した後、コントローラ204は、メモリに記憶されたデータ語を、

データバス114において利用可能にするメモリ読み取り信号を表明する。コントローラ204は、適切な制御信号を活動化し、その結果、データ語は、算術論理ユニット102の「a」側からシフトレジスタ106を通して命令レジスタ206へ渡される。

制御決定は、命令レジスタ206の内容に基づいて行われる。例えば、命令は、コントローラ204に、アキュムレータレジスタ104の内容をランダムアクセスメモリ108における特定ロケーションの内容へ加算し、結果をアキュムレータレジスタ104に記憶するように指令する。コントローラ204は、まず、ランダムアクセスメモリ108におけるそのロケーションをアドレス指定し、データバス114へその内容を計時する。それから、コントローラ204は、算術論理ユニット102に、データバスにおける語をアキュムレータレジスタ104の内容と加算させる。結果は、シフトレジスタ106から計時され、アキュムレータレジスタ104に再び記憶される。結果が負数又はゼロであったならば、コントローラ204は、適切な状態ビットを状態レジスタ202にセットする。

第1図において描かれた実施態様は、マイクロプロセッサ機能を幾

つかの層へ区分化するための多数の可能性の一つを提示する。第1層200は、コントローラ204、命令レジスタ206、状態レジスタ202、プログラムカウンタレジスタ208、及びメモリアドレスレジスタ210を含む。データバス214、アドレスバス224と、制御線222、クロック、通信ポート、電力及び接地線を含むいろいろな離散信号は、オフチップアクセスのためのボンディングパッド226へ経路指定される。第2層100は、算術論理ユニット102、アキュムレータレジスタ104、シフトレジスタ106、ランダムアクセスメモリ108、及びバッファ116を含む。データバス114、アドレスバス118、シフトレジスタ出力バス112、及びいろいろな制御信号を含む相互接続線は、第2層100の論理ユニットの間の相互接続を設ける。

層間接続140は、第1層200と第2層100における論理ユニットの間の垂直通信を設ける。そのような接続は、ダイにおけるいずれかの部位に据えられ

、このため、外周部における据え付けに限定されない。それらは、クロック分布、離散制御信号、電力及び接地供給等を含む、線が単一層に限定されて使用されるのと同じ理由で使用される。好ましい実施態様は、いろいろな応用において使用される層間コネクタを示す。データバス114は、ボンディングパッド226へ経路指定される如く、第1層214まで接続162される。状態レジスター202は、第1層200にあるが、層間コネクタ152を介して、第2層100におけるシフトレジスター106から更新を受信する。第2層100における算術論理ユニット102は、層間コネクタ150で、状態レジスター202から状態語を受信する。コントローラ204は、層間コネクタ

160によって、いろいろな制御信号、クロック信号とメモリ読み出し／書き込み信号を第2層へ供給する。アドレスバス224とシフトレジスター出力バス112は、それぞれ、層間コネクタ154と158の使用を通して両層へ分散される。

層間コネクタ140のサイズは、ボンディングパッド226のサイズに関して、かなり小さい。最小特徴サイズよりも大きくはなく、コネクタは、ダイにおいてあまり不動産を保存することなく、層間通信を容易にする。層間コネクタは、第2図において概略的に示される。各シフトレジスター出力は、金属端子252へ経路指定される。ホール256は、第2層を通して経路指定され、第1層における金属パスを露出する。金属層254は、ホールにおいて注入され、第2結晶層における端子252と第1層における露出金属パスの間に電気接触を設ける。層間接続は、ダイ空間の最小損失で達成される。

第3A～3H図は、マイクロプロセッサ回路が作製されるシリコンオンインシュレータ(SOI)膜を形成するために使用された、孤立シリコンエピタキシー(ISE)プロセスを示す。任意の数の技術が、単結晶シリコンの薄膜を設けるために使用されることに注意せよ。第3A図に示されたものの如くSOI構造は、基板300と、基板300上に成長又は堆積された絶縁体302(例えば二酸化シリコン)を含む。シリコンの薄い単結晶層304が、絶縁体302上に形成される。絶縁体302は、こうして、シリコン表面層の下に埋め込まれる。I

SE SOI 構造の場合に対して、頂部層は、実質的な単結晶シリコンであり、これから、CMOS回路が作製される。埋め込み絶縁体の使用は、従来のバルク材料において獲得される高速のデバイスを設ける。150万個

を超えるCMOSトランジスタを含む回路が、ISE材料において良好に作製された。

第3B図に示された如く、シリコン層は、トランジスタ領域306を規定するためにパターン化される。その後、二酸化シリコン層308が、第3C図に示された如く、トランジスタ領域306上に形成される。その後、トランジスタ領域306が、nチャネルデバイスを設けるためのホウ素又は他のp形ドーパント（又は代替的に、pチャネルデバイスに対してn形ドーパント）を注入される。

それから、多結晶シリコン層312が、第3D図に示された如く、トランジスタ領域306上に堆積され、そして層312が、層312の抵抗率を低下させるためにn形ドーパントを注入314され、その結果、それは、トランジスタゲートとして使用される。その後、注入された多結晶シリコン層312は、第3E図に見られた如く、トランジスタゲート316を形成するためにパターン化される。これは、トランジスタのソース及びドレイン領域を設けるために、n形ドーパントの重い注入318によって従われる。第3F図に示された如く、二酸化シリコン320は、トランジスタ上に形成され、そして開口322、324、326が、二酸化シリコン320を通して形成され、第3G図において、それぞれ、ソース328、ゲート330とドレイン332を露出させる。第3H図において、アルミニウム、タングステン、又は他の適切な金属334、336、338のパターン化金属被覆は、ソース328、ゲート330とドレイン332を他の回路構成要素に電氣的に接続する。

別の基板リリースプロセスが、ガラスに結合された処理シリコンの薄膜（0.1～5ミクロン）を形成するために開発された。これらの膜は

、転写の前に部分的又は完全に作製されるFETの如く能動半導体デバイスを含む。転写のための横成長エピタキシャル膜裂開の接近方法を含む結晶化及びリリ

ース手順は、参照としてこの採り入れられた米国特許第4, 727, 047号においてさらに詳細に記載される。化学エピタキシャルリフトオフ (CEL) 接近方法は、参照としてここに採り入れられた、米国特許第4, 846, 931号と第4, 883, 561号においてさらに詳細に記載される。CLEFT及びCEL技術は、基板が消費される他の接近方法と比較して低費用につながる基板の再使用を許容する。薄膜リリース技術をSOIウェーハと組み合わせることにより、高品質膜及び回路が、ガラス上に形成される。

第1図において、第2層膜100における作製構成要素と相互接続部は、第1層200に対面し、そして第1層200における構成要素、相互接続部とボンディングパッドは、第2層100を対面する基板220の上にある。この例は、多層作製の単一転写プロセス方法を提示する。

単一転写プロセスにおいて、隣接層の薄膜トランジスタは、互いに対面する。単一転写プロセスの使用によって層状にされた回路の詳細断面図が、第4A図において提示される。第1層200のための基板は、絶縁層400を支持し、この上に、複数のトランジスタ408、410を具備する論理ブロックが作製される。第2層100は、参照としてここに採り入れられた米国特許第5, 206, 749号において詳細に記載された方法により、又は前述のCLEFT及びCEL接近方法によって、基板から分離される。薄い二酸化シリコン層404によって支持されて、第2層100は、そのトランジスタ412が第1層200のトランジスタ408、410に対面する如く反転される。それは、適正な据え

付けのために位置合せされ、伝熱性、電気絶縁性エポキシ402、例えば、ダイヤモンド含浸エポキシ、で第1層200に付着される。

エポキシが硬化された後、ホール416が、第2層100の二酸化シリコン404とエポキシ402を通してエッチングされ、第1層200のトランジスタ408の金属パッド418を露出させる。第2ホール414は、第2層100の二酸化シリコン404を通してエッチングされ、第2層100のトランジスタ412の金属パッド420を露出させる。層は、図面において表現されたよりもずっと接近しているために、ホール414、416は、幅よりも深くないことに注目

することは重要である。

ホールがエッチングされた後、金属被覆層422が、露出された金属パッド418、420を接続するために付着される。層間接続に限定されず、金属被覆層422はまた、同一層において論理ブロックを相互接続するために、利用可能な相互接続経路指定平面として使用される。パスは、第1及び第2層から金属被覆層422まで経路指定され、金属被覆層を横切って再びそれぞれ第1又は第2層まで経路指定される。この付加層は、必要なダイサイズを縮小しながら、より複雑な経路指定機能を可能にし、シリコン空間はより密に効率的に使用される。

ウェーハ又はウェーハからダイシングされた個別タイルは、参照としてここに採り入れられた1992年4月24日に提出された米国特許第07/874,588号において詳細に記載された如く、上層転写本体へ付着される。転写本体は、接着剤を使用する、ガラス又は他の透明絶縁体である。好ましくは、接着剤は、Epotek 377の如くエポキシか、又は無水シクロ脂肪酸、例えば、Masterbond Inc

製のEP-112、から成る。接着剤は、次の特性を有することが望ましい。

ガラス、酸化物、金属、窒化物への優れた接着力

ガラス、金属、酸化物、窒化物との無反応

低収縮性

小さなそり／応力

リフトオフ、接着力の損失又は劣化なしに、拡張期間に対して100℃において酸に対する耐性

劣化なしに2時間少なくとも180℃に耐え、劣化、変化なしに48時間165℃に耐える能力

酸と溶剤への優れた抵抗

ダイシング及び加熱段階（リフトオフのない酸エッチング段階を含む）への耐性

薄接着膜を可能にする低粘度

すべての泡を除去するための真空脱気能力

一般に、無水シクロ脂肪酸は、上記の基準のすべてを満たす。エポキシは、好ましくは、熱膨張不一致、非常に低いイオン含有量 ($< 5 \text{ ppm}$) と低収縮からの応力を最小にするために低硬化温度を有する。

ウェーハ又はタイルは、接着剤を使用して、ガラス上層へ付着される。例えば、EP112は、接着剤であり、すべての泡を除去するために真空脱気される。このサンドイッチ構造は、その後、4～8時間、約 130°C の低温度において硬化され、接着剤をゲル化させ、熱不一致特性を最小にする。その後、接着剤は、約8時間、約 160°C の高温において十分に硬化される。この硬化は、ボンドが十分に成熟したことを保

証する。この硬化なしでは、接着剤は、必要な後続の酸エッチング段階までもたない。

その後、ウェーハ又はタイルは、清浄され、そして自然酸化物118が、裏面からエッチングされる。ウェーハは、 100°C において $75 \text{ ml H}_2\text{O}$ に対する25グラムの溶液 (KOH又は等価物) に入れられる。ウェーハの厚さにより、シリコン基板をエッチングするために最高4時間かかる。溶液は、シリコンを非常に急速に、即ち、2～3ミクロン/分、かつ一様にエッチングする。酸は、酸化物において非常に低いエッチング率を有し、その結果、基板がエッチングされ、埋め込まれた酸化物が露出される時、エッチング率は低下する。KOHにおけるシリコンエッチング率対KOHにおける酸化物エッチング率の選択性は、非常に高い (200 : 1)。シリコンエッチングの一様性と組み合わせられたこの選択性は、観察者がプロセスを監視し、その上の薄いシリコン層まで穿孔することなく、埋め込まれた酸化層においてエッチングを停止することを可能にする。最高25ミル厚のウェーハと 4000 \AA の薄い酸化物が、このプロセスを使用して、良好にエッチングされた。代替的なエッチャントとしては、ずっと高いエッチング率選択性を有するヒドラジン、又はエチレンジアミンピロカタコール (EDP)、又はテトラメチル水酸化物アンモニウムがある。

シリコンが完全に消えた時、KOHにおけるシリコンエッチングを特性付ける活発な泡立ちが、突然停止し、エッチングが完了したことを知らせる。

それぞれのガラス上層へ転写された薄膜は、次に、水洗いされ、乾燥される。
回路をまだ設けられないならば、エポキシ接着剤は化学薬品に

対して非常に良い抵抗を有するために、膜は、所望ならば、裏面回路を処理される。加えて、エポキシは、残留応力において非常に低く、その結果、薄膜は、非常に平坦で、従来のフォトリソグラフィ段階で処理される。

すべての必要な回路が、上記の如く、転写本体上に形成された後、それらは、次に、ダイシングされ、マイクロプロセッサの如く、組み合わされた機能を行うために、共通モジュール本体へタイル化される。

すべての回路が、登録され、モジュール本体へ粘着された後、上層は、適切なエッチャントを使用して、除去される。

回路の相互接続は、接着剤を貫通する半田バンプにより、又は直接レーザー書き込み又は金属被覆とフォトリソグラフィにより、あるいは必要な場合にここで記載された如く、登録中達成される。

単一転写方法の好ましい実施態様が、第4B図において提示される。再び、第4A図における如く、単一転写プロセスにおいて、隣接層200、100が、トランジスタ408、412が相互に対面する如く位置合せされる。層は、再び、熱伝導性、電気絶縁性エポキシで付着される。第2層における二酸化シリコン434は、切断され、第2層100のトランジスタ412、金属パッド420と、第1層200の金属パッド418を覆うエポキシ領域を露出させる。ホール430は、硬化されたエポキシ層402を通してエッチングされ、金属パッド418を露出させる。金属被覆層432は、露出した金属パッド418、420を電氣的に接続するために使用される。この方法は、パターンニングの複雑さを低減し、第4A図によって記載された方法に比較して、金属線の長さを短縮させる。幾つかの応用において、第4A図の方法は、構成要素から

金属層を絶縁するために使用される。

層状にする別の方法は、二重転写と呼ばれる2段階プロセスに係わる。第4C図に示された如く、二重転写プロセスにおいて、層は、単一転写方法における如

く互いに対面するよりも、トランジスタが積み重ねられる如く位置合せされる。

二重転写プロセスにおいて、第1層200は、その基板220と二酸化シリコン層400によって支持される。第2層100が作製され、そして基板が、上記のプロセスの一つ、例えば、CLEFT、CEL、によって除去される。第1及び第2層膜の位置合せの後、エポキシ402が塗布され、硬化させられる。登録とモジュール本体へのボンディングの後、転写本体は、適切なエッチャントによって除去される。ホール440は、第2層の二酸化シリコン404、エポキシ402を通してエッチングされ、第1層200において金属パッド418を露出させる。第2層100のトランジスタ412のための金属パッド442は、すでに露出されている。金属被覆層444は、露出された金属パッド418、442の間の電気接触を設けるためにパターン化される。

諸層を接続する別の方法は、第4D図の外部相互接続である。この実施態様において、垂直相互接続部444は、多層構造の外側壁445に沿って延びる。この特定例において、上側回路要素443は、デバイスの下側層における回路要素455と、金属被覆要素442、444によって接続される。回路要素455は、ボンドパッド454におけるワイヤボンド452と金属被覆線又はバス458を通して、チップキャリアへ接続される。回路要素455は、この実施態様において、重なる回路構造によって覆われないことに注意せよ。回路要素455、443と関

連相互接続部を覆う不活性化層456が示される。覆われた回路要素441はまた、この外部相互接続を通して上側回路要素443へ接続される。さらに、第9A図、第9B図と第15図に示された回路経路指定層は、外部相互接続を使用しないことに注意せよ。これらの外部相互接続部は、二重又は単一転写構造において使用され、そして縦続構造において3層以上を有する構造において使用される。

第5A図は、多層遮蔽の断面図を示す。絶縁層502は、エポキシ402が塗布される前にトランジスタ408上に付着される。伝導性金属層504は、遮蔽パスを設けるために、絶縁層502上にパターン化される。このパスは、第1層

200におけるトランジスタ408を、第2層100におけるトランジスタ412から遮蔽し、熱劣化、クロストーク、及び電磁干渉に付随した問題の脅威を減らす。

遮蔽の別の問題が、第5B図において示される。第1層200は、導電性第2層100によって第3層500から遮蔽される。金属層506は、第2層100上でパターン化され、第1層200におけるトランジスタ408を、第3層500におけるトランジスタ412から遮蔽する。導電性第2層100は、位置合せされ、第1層200上にエポキシ樹脂で接着され、エポキシが硬化した後、第3層500が位置合せされ、第2層100上にエポキシ樹脂で接着される。二重転写プロセスが示されるが、単一転写プロセスもまた使用される。応用により、パワー又は接地が、電気遮蔽層へ印加される。

第6図は、単一転写プロセスにおいて位置合せされる第1ウェーハ200と第2ウェーハ100を示す。第1ウェーハ200は、第2ウェーハ100における回路要素のアレイ510に電氣的に接続される個別回

路要素520のアレイを具備する。

第7図は、層化プロセスの工程流れ図である。ウェーハ膜は、最初に、ウェーハ基板から除去される。層毎に、各膜は、位置合せされ、エポキシ樹脂で接着され、その下の膜へ電氣的に接続され、交互のエポキシ層554と薄膜層556のスタック552を生ずる。その後、個別多層回路558は、アレイ564から除去され、さらに処理され、その後、実装される。

完成した多層構成が、第8図において示される。第1層600は、第2層602よりも面積が大きく、ボンディングパッド606へのアクセスを設けることに注意せよ。バッファードライバー604の如く多量の熱を発生する構成要素は、そのような構成要素によって発生された熱が、より効率的にチップから引き出される如く、第1層600の周辺部に作製される。

第9A図は、諸層において位置する論理ブロックを接続する際に、中間層が付加回路経路指定資源をいかに設けるかを示す分解斜視図である。第1層における論理ブロックA620は、第3層における論理ブロックA'624へ接続される

。第1層における論理ブロックB622は、第3層における論理ブロックB'628へ接続される。すべての4つの論理ブロックが、単一層技術を使用して同一層上に作製されたならば、経路は、非常に複雑になる。まず、論理ブロック自体は、相互に重ね合わすことができず、第2に、相互接続線は、単一層技術において交差させることができない。利用可能な付加経路指定層により、相互接続線は、分離層において交差し、そして論理ブロックは、分離層において相互に重ね合わされる。論理ブロックA620は、層間コネクタ630の使

用により第2層まで経路指定され、そして相互接続線634は、論理ブロックAの頂部から論理ブロックA'の下を、層間コネクタ632を通過して論理ブロックA'624まで経路指定される。論理ブロックB622から出る線は、層間コネクタの使用により第2層まで経路指定される。相互接続線は、AとA'を論理ブロックB'628に接続する線による層間コネクタの使用により、再び第3層まで走る。中間経路指定層の使用は、複雑な経路指定パターンによって消費される空間を縮小しながら、分離層における論理ブロックの間の相互接続を設ける。

第9B図は、同一層において作製された2つの論理ブロックを接続する際に、付加経路指定層がいかに使われるかを示す。論理ブロックA640は、同一層における論理ブロックB642と通信するが、ブロックA640とB642は、論理ブロックC644によって分離される。単一層の文脈において、信号は、論理ブロックC644の回りに経路指定されなければならない。多層の文脈において、信号は、論理ブロックC650から層間コネクタ648を介して論理ブロックB642まで直接に続く層間コネクタ646の使用により、A640から第2層まで経路指定される。

個別論理ブロックは、幾つかの層上に作製され、層間コネクタは、論理ブロックの副構成要素の間の相互接続を設ける。例えば、8ビットシフトレジスタは、単一層において作製される代わりに、1ビットを各層において、8層へ区分化され、又は2ビットを各層において、4層へ区分化される如く作製される。これは、論理ブロックを据え付け、相互接続経路指定のための空間を解放する際により大きな柔軟性を与える。

第10図に示された如く、ランダムアクセスメモリの付加層又は数層

は、多層マイクロプロセッサの頂部に積み重ねられる。アドレスバス252、データバス254、及び制御バス250は、層間コネクタの使用により、ランダムアクセスメモリまで経路指定される。この構成は、メモリアクセス時間を縮小させ、全システムのを速度を増大させる。

多層マイクロプロセッサはまた、第11図に示された如く、ビットスライスフォーマットにおいて構成される。ビットスライスコントローラは、第1層200上に作製される。第2層100は、データバスの最下位ビットとそのサポート論理を具備する。各付加層690は、データバスの幅を付加する。例えば、第2層100が4データビットを具備し、各付加層が第2層100に類似するならば、各付加層690は、4ビットだけデータバスを拡張させ、2つの層は8ビット機械を設け、3つの層は12ビット機械を設ける等である。

この技術はまた、マルチプロセッサ環境において使用される。第12図は、並列処理応用において使用される一つの潜在的なマルチプロセッサの実施態様であるスタックマイクロプロセッサとランダムアクセスメモリアレイを示す。第1層700は、第2層においてランダムアクセスメモリ702を共有するマイクロプロセッサであり、この別のマイクロプロセッサ704は、ランダムアクセスメモリの上に位置する。マイクロプロセッサ704の上に、付加対のマイクロプロセッサ706が、それら702の間に位置するランダムアクセスメモリを共有する。付加的なランダムアクセスメモリ714は、大域記憶のために使用され、共通データバス718と共通アドレスバス720によってすべてのマイクロプロセッサに対してアクセスされる。アドレス720とデータ718のバスは、層間コネクタの使用により、スタックを通

して垂直に走る。この構成は、信号処理応用において使用される。

プログラマブル論理アレイは、多層マイクロプロセッサと外界の間の通信を設けるために使用される。第13図において、プログラマブル論理アレイ802は、第1層800上に作製される。第2層804と第3層806は、多層マイク

ロプロセッサを具備し、第4層808上にランダムアクセスメモリを有する。プログラマブル論理層802は、マイクロプロセッサとオフチップ資源の間の使用者定義通信プロトコルを設けるようにプログラムされる。アレイ802は、ここで記載された如く、多層構造の層のいずれかにおいて形成される。

第14図に示された如く、発光ダイオードアレイは、多層構成において頂部層として取り付けられる。x軸ドライバー回路826は、第2層において作製され、層間コネクタ834の使用により、LEDアレイへ接続される。同様にy軸ドライバー回路828は、層間コネクタ832によってLEDアレイ層828へ接続される。ドライバー回路は、データバス824から表示される情報を受信する。好ましい実施態様において、これらのLED要素又はアレイは、統合ディスプレイを形成するために使用され、あるいは代替的に、構造の諸層を光学的に相互接続するためにファイバーオプティックスとともに使用される。LED要素、アレイ及び回路要素を形成するために転写されるバルク又は薄膜III-V半導体材料の作製は、参照としてここに採り入れられた1991年1月18日に提出された米国第07/643,552号において詳細に記載される。シリコン構造においてGaAsを含む複合構造の形成はまた、上記の参照された出願において記載される。

膜セグメントは、単一層の頂部において並べて配置される。第15図

において、セグメント902と904は、セグメント900の上に層状にされる。セグメントは、エポキシ層の上に直接にエッチングされた金属被覆パス910の使用により直接に通信するか、又はそれらは、層間コネクタ908の使用により通信する。別のセグメント906は、層間コネクタ912によりセグメント902と904を架橋し、上側及び下側セグメントの間に通信を設ける。

メモリ回路と論理回路は、第15図に示された如く、単一基板への2層以上の転写を含む、多数のプロセスによって形成及び転写される。そのような単一転写プロセスにおける基本段階は、Si基板において複数の薄膜Si回路の形成と、タイルを形成するための薄膜のダイシングと、「タイル化」による共通モジュール基板へのタイルの転写である。タイル化は、転写する段階と、転写されたタイ

ルを登録する段階と、登録されたタイルを粘着する段階とを含む。それから、Si基板は、除去され、そしてタイル上の回路が相互接続される。

第4C図に関連して詳細に記載された二重転写接近方法は、Si基板がダイシングの後に除去され、そして薄膜が、共通モジュール本体への最終的な転写の前に、中間転写本体又はキャリアへ転写されることを除いて、類似する。

異なるエッチング率を有する随意的なリリース層が、転写プロセスにおいて使用されることに注意せよ。例えば、窒化シリコン (Si_3N_4) と二酸化シリコン (SiO_2) の混合物を具備する酸化-窒化シリコンリリース層が、適切な選択である。そのような層は、 SiO_2 単独よりも、フッ化水素酸においてより低速にエッチングされる。このエッチング率は、酸化-窒化シリコン (SiO_xN_y) 化合物においてNとOの比率

を調整することにより制御される。

それから、シリコンの薄い本質的な単結晶層が、リリース層上に形成される。酸化物 (又は絶縁体) は、こうして、Si表面層の下に埋め込まれる。ISE SOI 構造の場合に対して、頂部層は、CMOS回路が作製される本質的に単結晶の再結晶化シリコンである。

本出願の目的に対して、用語「本質的な」単結晶は、大多数の結晶が共通結晶配向を示し、少なくとも 0.1 cm^2 、好ましくは、 $0.5 \sim 1.0 \text{ cm}^2$ 以上の範囲において、膜の平面における断面積に広がる膜を意味する。用語はまた、完全な単結晶Siを含む。

デバイスが処理され、回路層が試験され、必要に応じて修復された後、プロセスにおける次の段階は、シリコンピクセル回路膜を共通モジュールに直接に、又は基板からキャリアと共通モジュールへ二重転写により転写することである。二重転写接近方法は、参照としてここに採り入れられた1992年4月24日に提出された米国第07/874,588号において詳細に示され、記載される。

回路の層間の接続を行うために、開口又はブライアホールが、適切なエッチャントによって規定され、2つの回路層において接触領域を露出させる。酸化物のすべては、マスクとしてフォトレジストを使用して、バッファーHFにおいてエ

ツチングされ、一方、接着剤は、酸素プラズマにおいて、又はマスクとして以前にエッチングされた酸化物を使用して、反応性イオンエッチング(RIE)によりエッチングされる。RIEを使用する時、側壁が、垂直に作られ、ホールが完全に満たされる。いったんこれらのブライアホールがボンディング層において開放されたならば、それらは、層間を接触させるために、金属で満たされる。層間

の相互接続は、本出願において詳細に説明される。重ねた回路の間の接着層は、非常に薄く保たれ、層間の接触が可能であるために数ミクロン厚にされなければならない。接着層は、1~50ミクロン、好ましくは1~5ミクロンでなければならない。プロセスは、付加層をデバイスに付加するために繰り返される。

3次元構造における各回路の性能特性は、回路が配設された媒体の導電率に関連される。本方法を使用して準備された回路は、相互コンダクタンスと駆動電流が、環境空気にさらされた時よりも、回路がエポシキの下に埋め込まれた時、より高くなることを示す。この効果は、エポシキにおいて埋め込まれた回路に対する加熱効果を低減させる空間に関するエポシキの5.4倍大きな熱伝導率によって説明される。担体移動度は、回路の温度が高くなる時、減少し、そして性能は、担体移動度に直接に関連されることが注目される。こうして、高導電性エポキシにおける周囲回路は、改良性能特性につながるデバイス温度の低下を設ける。表Iは、使用される多数の異なる材料の幾つかの熱伝導率を比較する。

表 I

材料	λ (W) (m ⁻¹) (° K ⁻¹)
Si	150
SiO ₂	1.4
空気*	0.024
EP112	0.13

*自由対流を含まない

多数の熱伝導性/電気絶縁性エポキシが利用可能である。Castall、Tracon、Masterbond、及びEpotekは、す

べて、多数の熱伝導性エポキシのバージョンを作成する。最高伝導率は、アルミナと窒化アルミニウムを含むいろいろな材料でエポキシ樹脂を充填することにより達成される。日立はまた、ダイヤモンド充填エポキシを作成する。すべてのアルミナ及び窒化アルミニウム充填エポキシは、フィラーとして使用された伝導性粒子のために、不透明である。それらは、室温又は高温において硬化される。窒化アルミニウム充填エポキシは、 $-3.6 \text{ (W}^{-1}) \text{ (m}^{-1}) \text{ (}^{\circ} \text{K}^{-1})$ の熱伝導率を有する。酸化アルミニウム充填エポキシは、 $1.44 \sim 21.6$ の範囲である。ダイヤモンド充填エポキシが、最良である。これらの充填エポキシは、最高 250° の温度を収容するように作られる。窒化アルミニウム粒子サイズは、 $5 \mu\text{m}$ 以上である。酸化アルミニウム粒子サイズは、ずっと小さくされ、そのため、ボンドラインの細線化が可能である。商品名としては、Masterbond EP21、Supreme 10、Tracon 2151、Castall E340 シリーズ、Epotek H62、H70E が挙げられる。また、炭化シリコン充填エポキシが使用される。

サンプルされた充填エポキシは、非常に細い ($< 5 \mu\text{m}$) のボンドラインを獲得するのが困難である如く、一般に粘性の不透明のペーストであることが注目される。 $0.85 \sim 1.44 \text{ (W) (m}^{-1}) \text{ (}^{\circ} \text{K}^{-1})$ 範囲における媒体熱コンダクタンスは、充填剤なしに達成される。これらのエポキシは、わずかに低い粘度であり、より薄くされ、コンダクタンスが十分に高いならば好ましい。別のオプションは、熱除去を促進するために、薄ダイヤモンド状膜又は伝導性セラミック状窒化アルミニウムでデバイスを被覆するものである。これは、エポキシに対する熱コン

ダクタンス基準を減少させ、層間の相互接続のために必要な薄いボンドラインを達成するために、低粘度エポキシの使用を可能にする。

3次元回路の形成における一つの重要な見地は、層化デバイスを相互接続することを含む。そのような回路において、デバイス層の間に配設されたエポキシは、数ミクロンの厚さを獲得するためにスピンされることが注目される。代替的に、他の公知の技術は、エポキシの薄い一様な層を獲得するために使用される。ブ

ファイアホールが、低接触領域へのアクセスを獲得するために、上側接触領域を通して形成される。高アスペクト比を有するファイアホールを形成するためのエッチングは、RIE技術によって行われる。上側及び下側デバイスの間の電気接触は、タングステン又はアルミニウムの如く導電性材料でファイアホール1022を充填することにより作られる。

3次元回路の別の重要な見地は、デバイスの間の非所望の電気干渉を避けるために、デバイス層を遮蔽することを含む。接地平面は、デバイス層の間に位置付けられ、電気干渉を防止する。これらの導電性接地平面は、金属で、又はデバイスと反対側の酸化層1032の表面におけるITO堆積により作成される。代替的に、接地平面は、導電性エポキシ、高ドーパされたシリコン、又はデバイス層の代わりをするセラミック又は炭化シリコン層、あるいは積み重ね構造におけるセラミック又は炭化シリコン層を形成される。

隣接層におけるトランジスタの如く、デバイス層を相互接続するための代替プロセスは、第16A～16F図において提示される。第16A図において、トランジスタ及び／又は他の受動又は能動回路要素920が、第1層918において形成される。第1デバイス層918は、基板

924、絶縁層926、及び回路要素が形成される回路層を具備する。トランジスタ922は、第4A図に関連して記載された単一転写プロセスを使用して、第1層に結合された第2デバイス層916において形成される。単一転写プロセスにおいて、トランジスタ922は、二酸化シリコン層930によって支持され、上記の如くエポキシ928を使用して、第1層918に結合される。

第16B図に示された如く、小開口932が、トランジスタ920の金属パッド920Aのすぐ上の二酸化シリコン層930において形成される。マスクとして二酸化シリコン層930を使用して、異方性エッチャントが、第16C図に示された如く、トランジスタ920の金属パッド920Aを露出するために使用される。二酸化シリコン930は、第16D図に示された如く、2回切込まれ、第2層トランジスタ922の金属パッド922A上にホール934を形成し、ホール932上に拡幅領域936を露出させる。第16E図において、トランジスタ

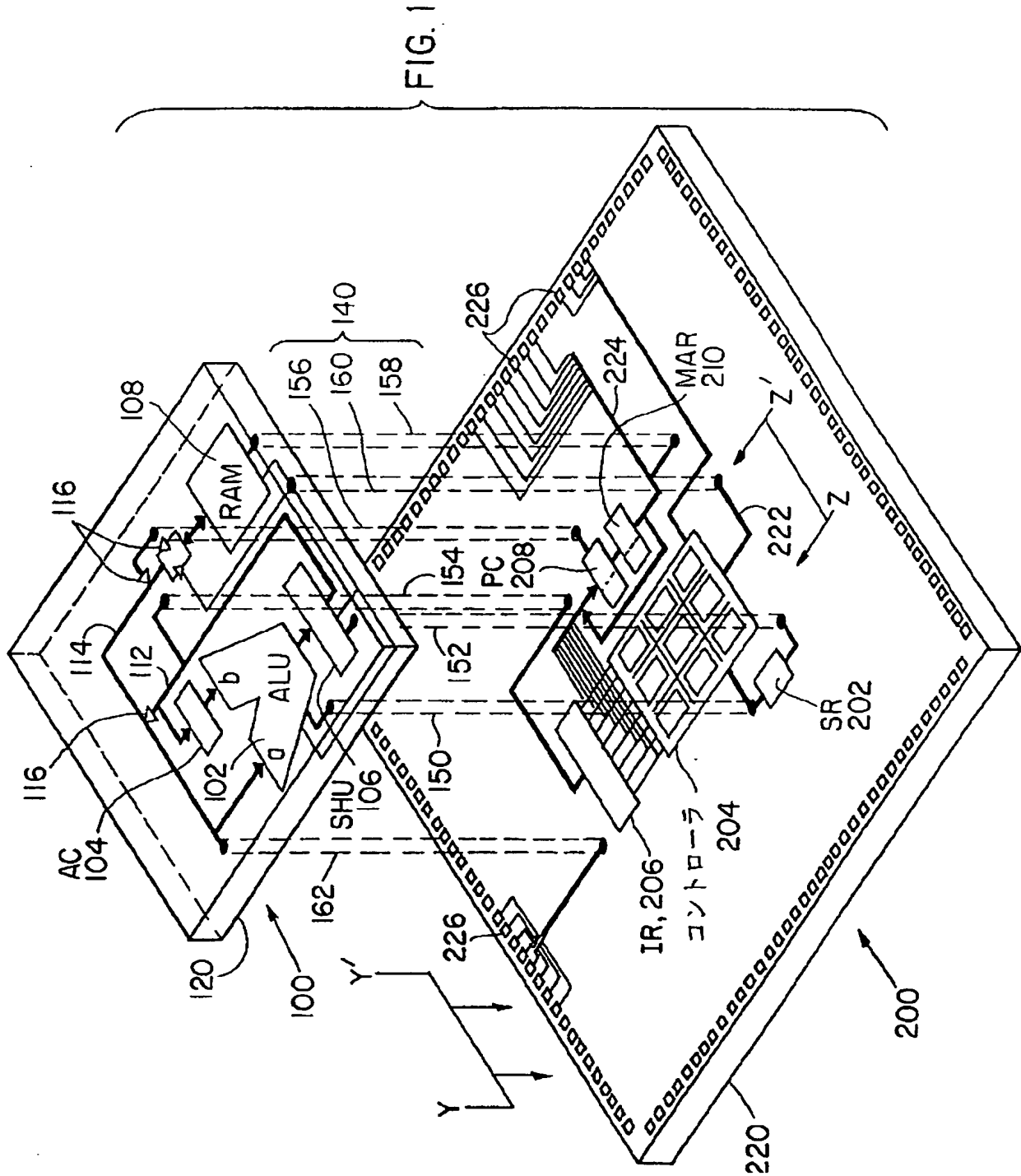
920の金属パッド920A上のホール936は、電気及び熱伝導性のエポキシ938で充填される。エポキシは、所望レベルの電気及び熱伝導率を設けるために銀を分散させている。第16F図において、金属被覆層940は、導電性エポキシ938とホール934の上に形成される。この金属被覆層940は、第1層トランジスタ920の金属パッド920Aと第2層トランジスタ922の金属パッド922Aの間の電気接触を設ける。この方法は、隣接又は多重積み重ねデバイス又は経路指定層を相互接続するために使用され、又は隣接層におけるボンディングパッドへデバイスを接続するために使用される。この方法は、改良機械及び熱的特性を有する高収量のデバイス層を相互接続するための単純な安価なプ

ロセスを設ける。

等価物

発明が好ましい実施態様を参照して詳細に示され記載されたが、技術における当業者には、必要に応じて、相互の組み合わせにおいて開示された実施態様のすべての使用を含む形態と詳細における多様な変形が、添付のクレームによって記載された発明の精神と範囲に反することなく、行われることが理解される。

【図1】



【図2】

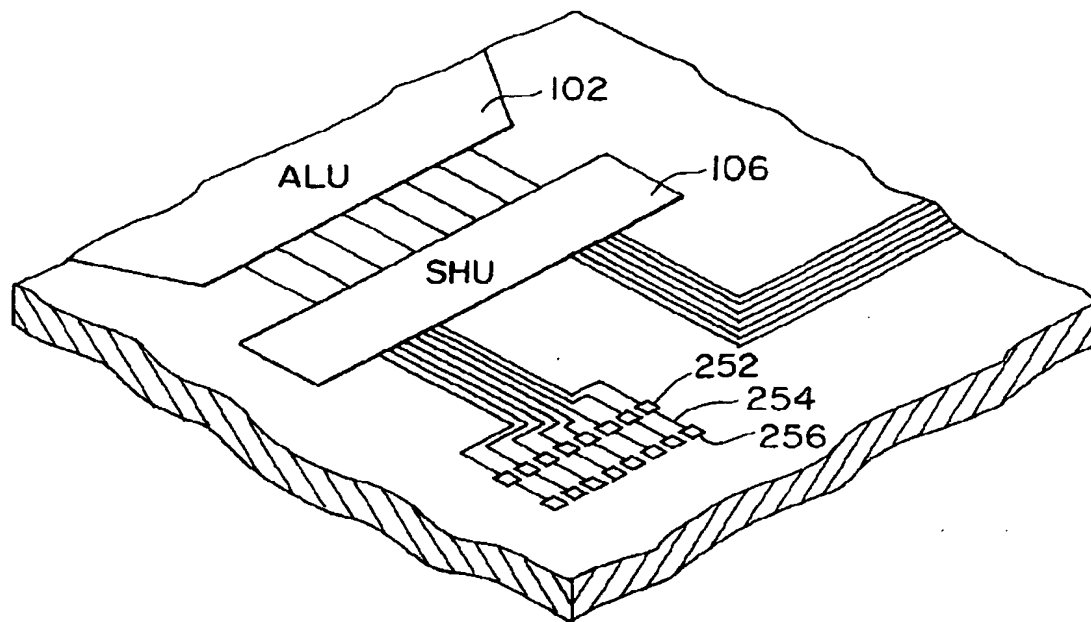


FIG. 2

【図4】

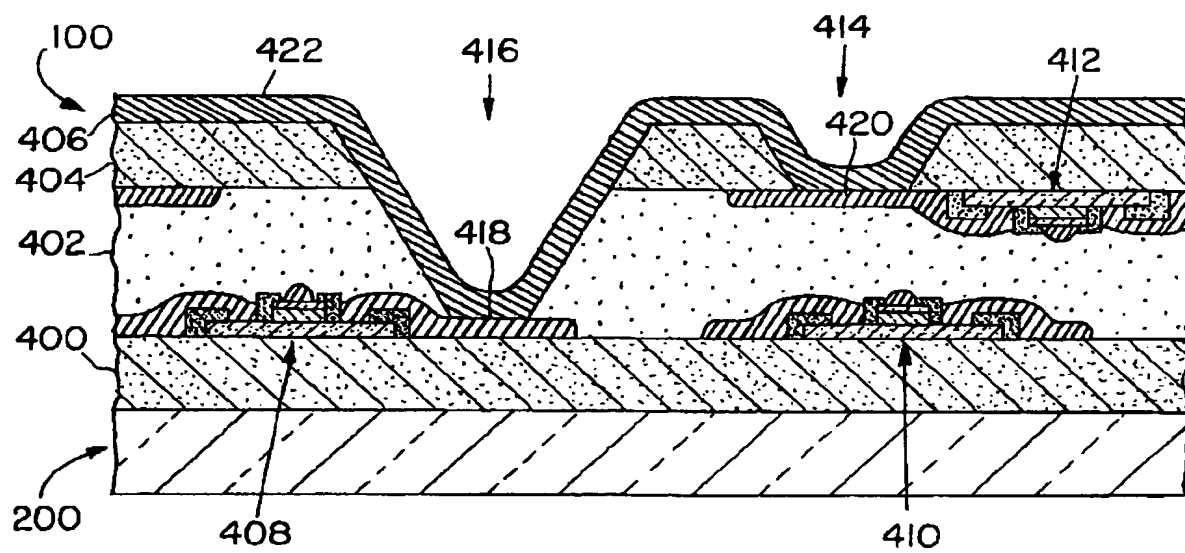
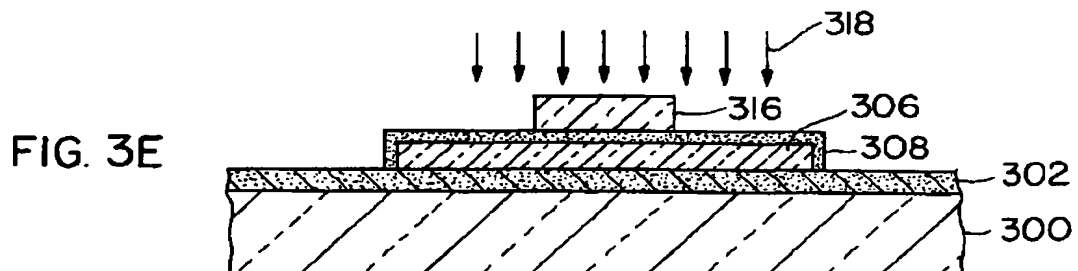
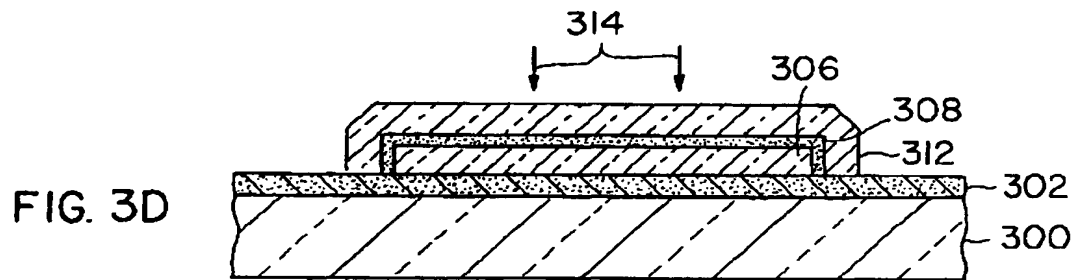
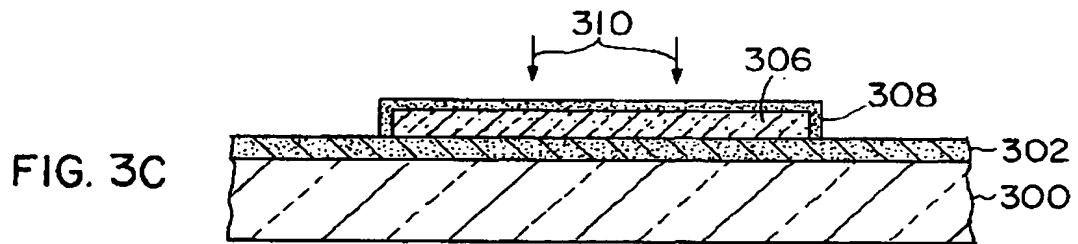
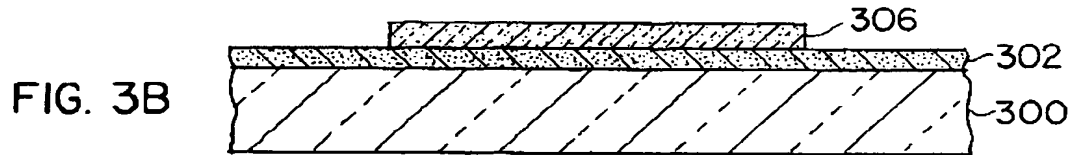
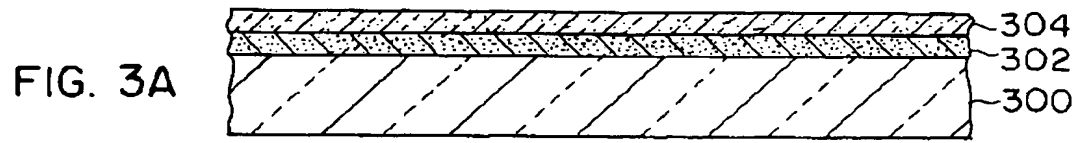
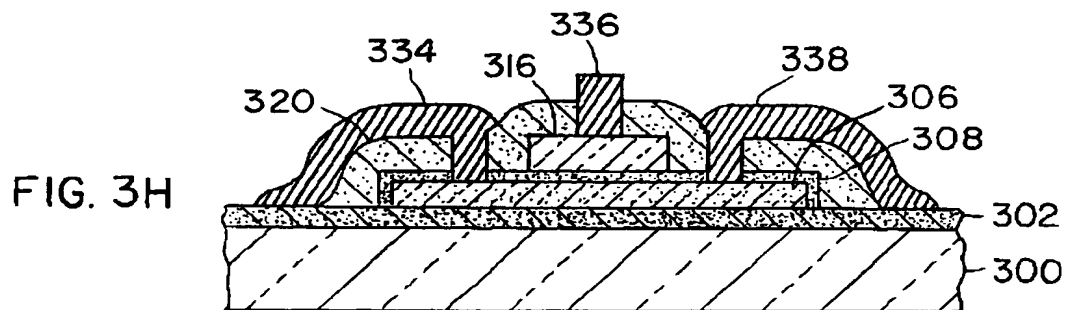
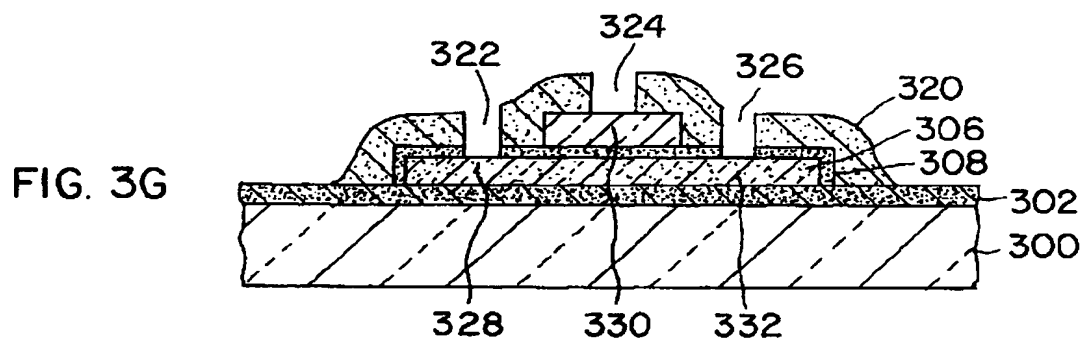
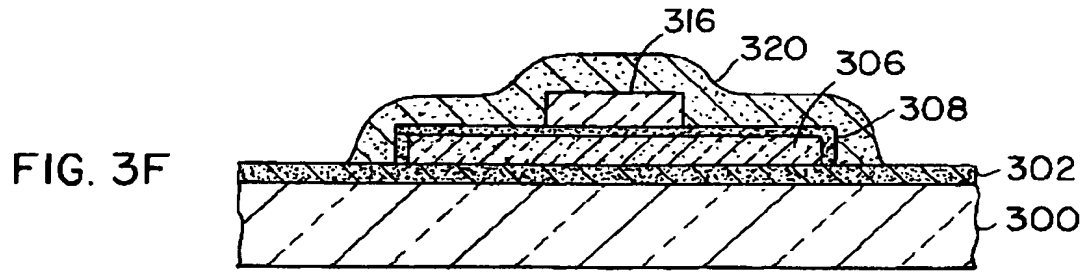


FIG. 4A

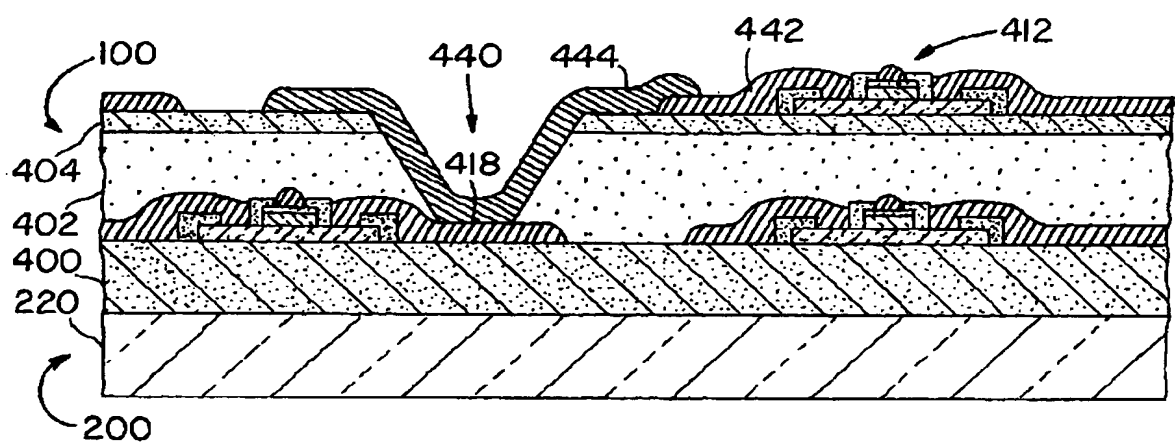
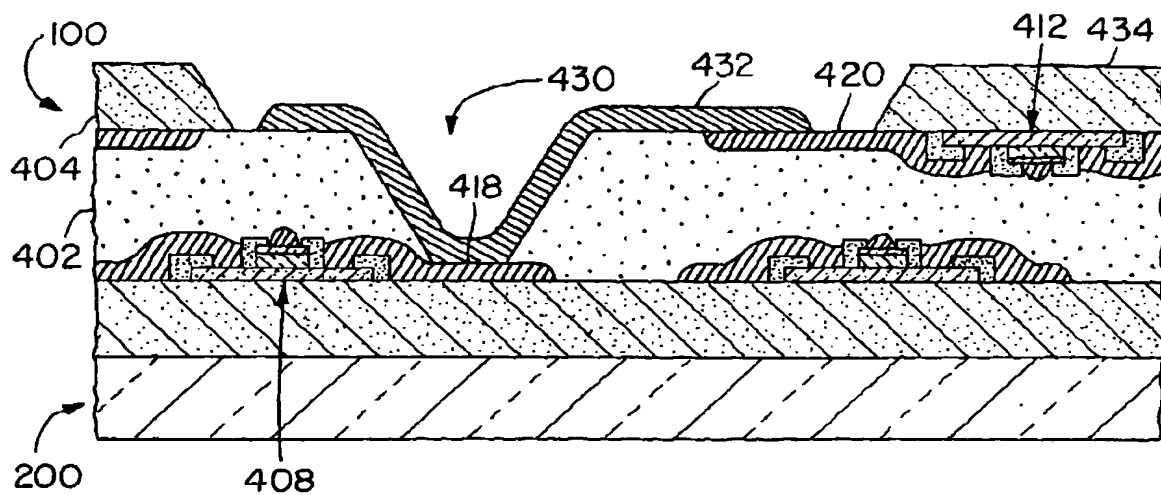
【図3】



【図3】



【図 4】



【図5】

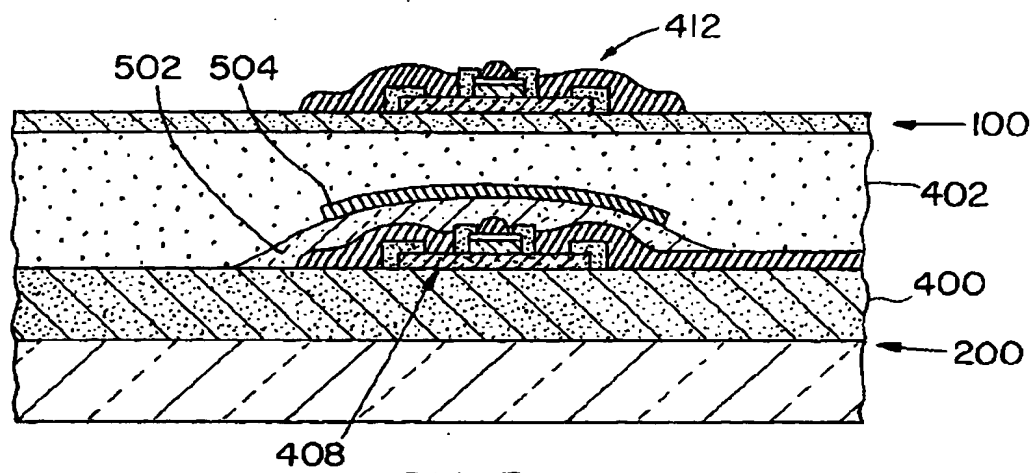


FIG. 5A

【図 4】

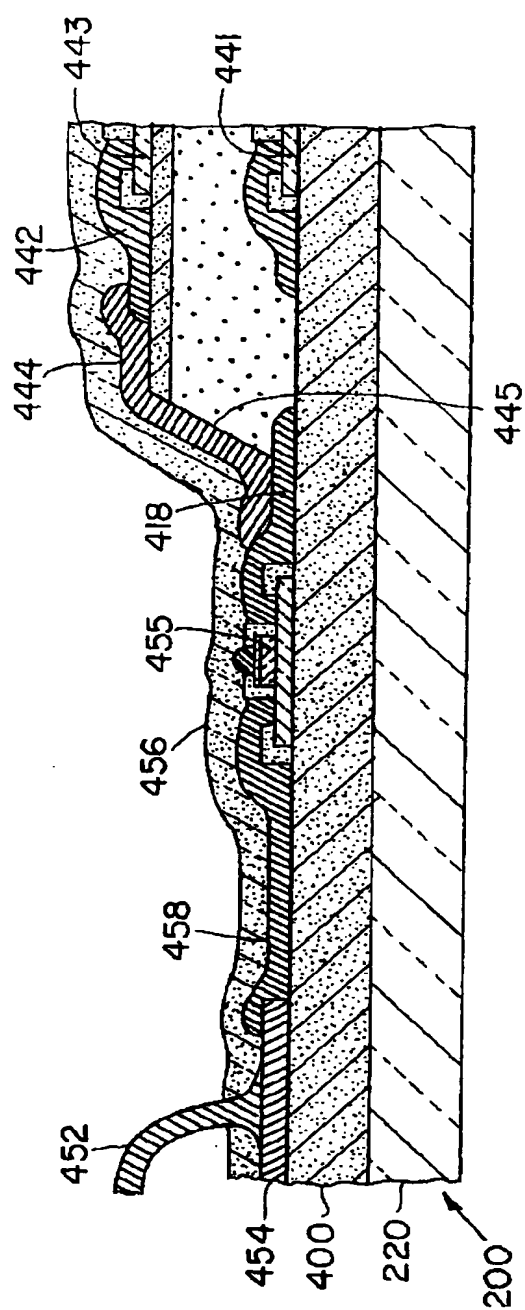


FIG. 4D

【図5】

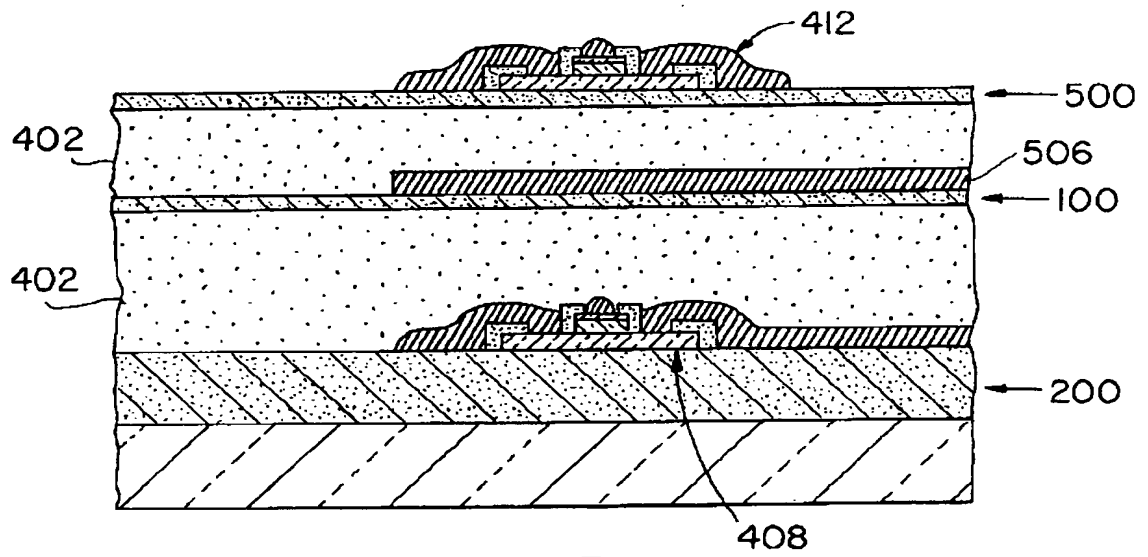


FIG. 5B

【図6】

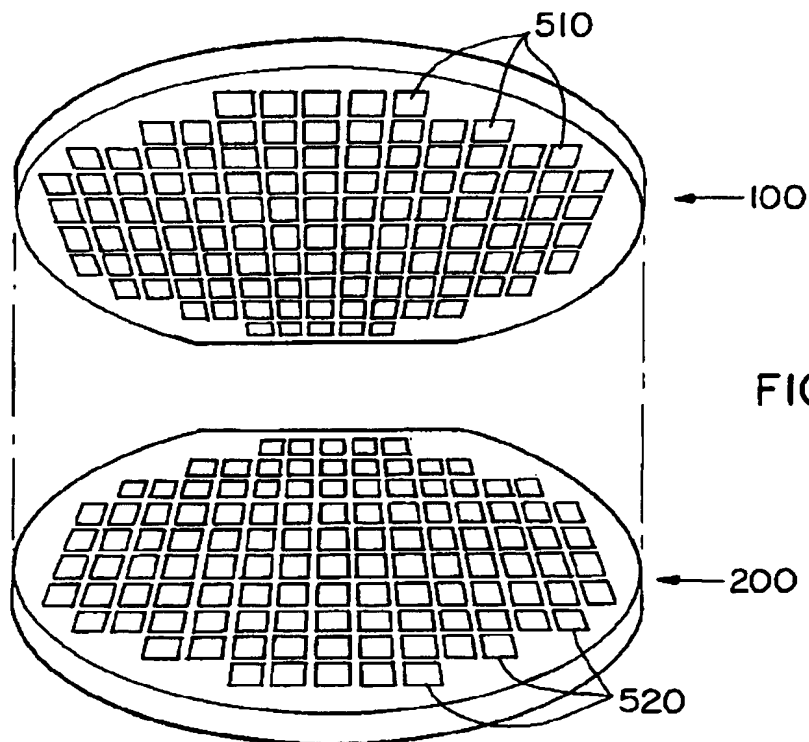


FIG. 6

【図7】

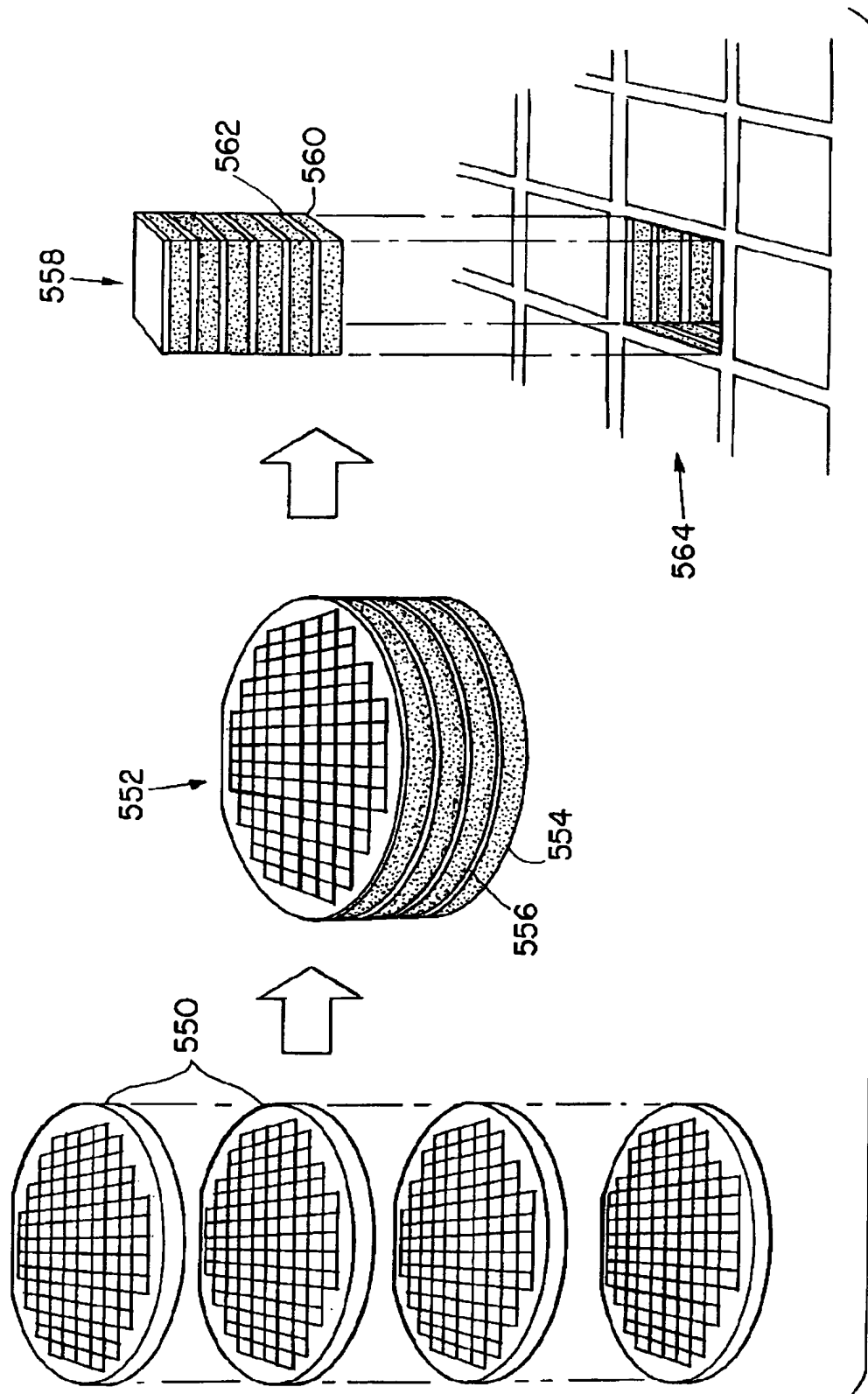


FIG. 7

【図8】

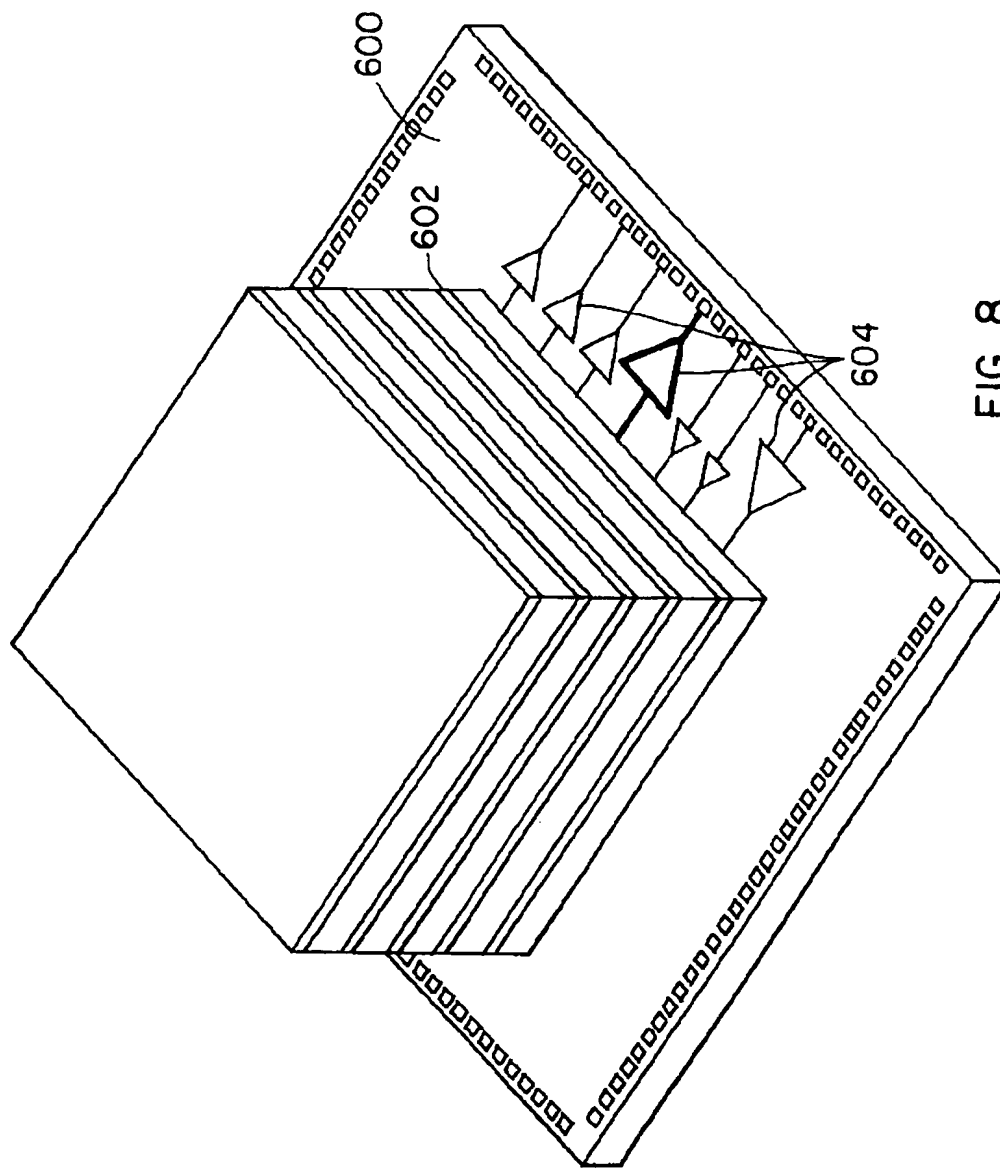


FIG. 8

【図9】

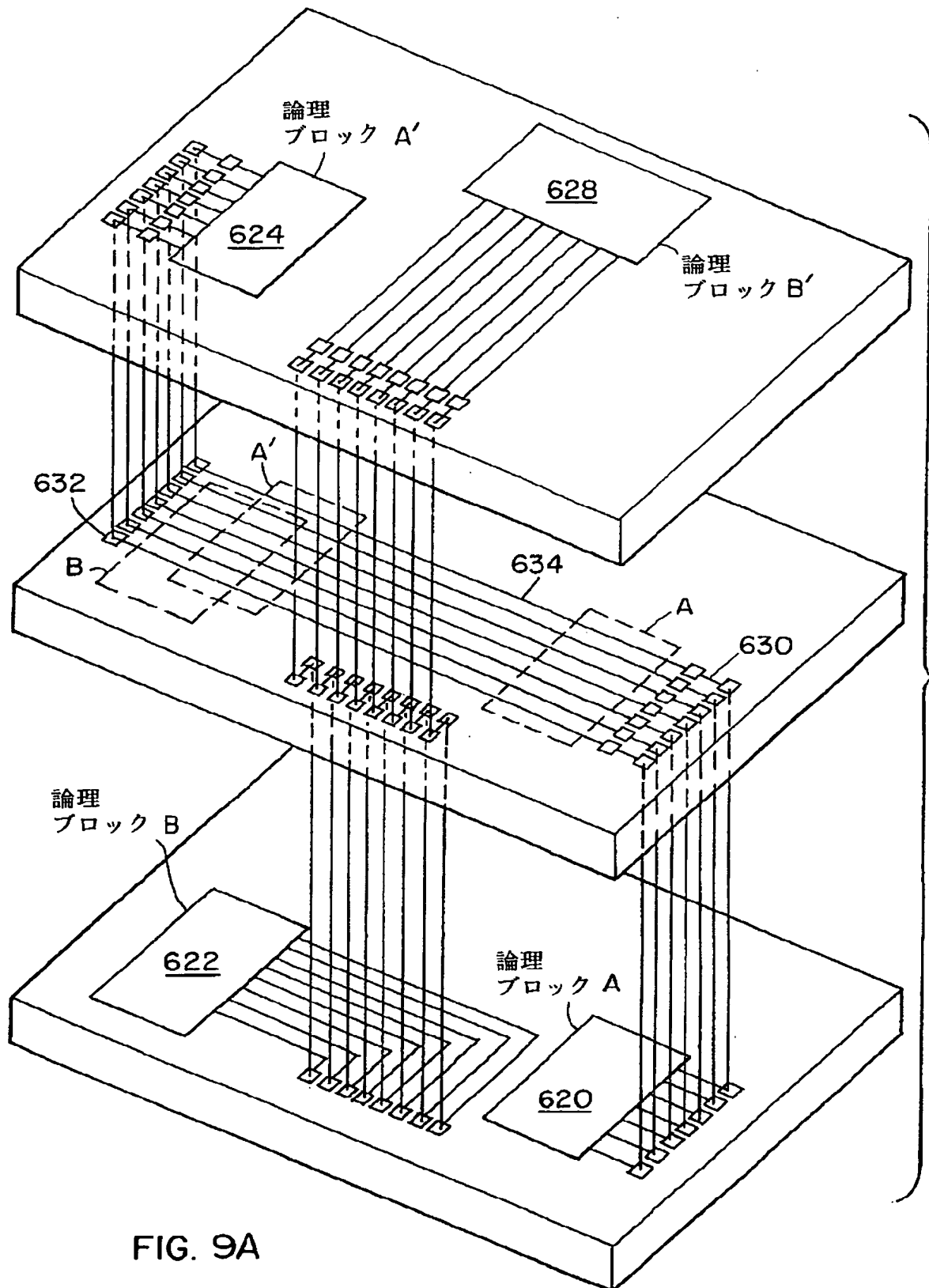


FIG. 9A

【図9】

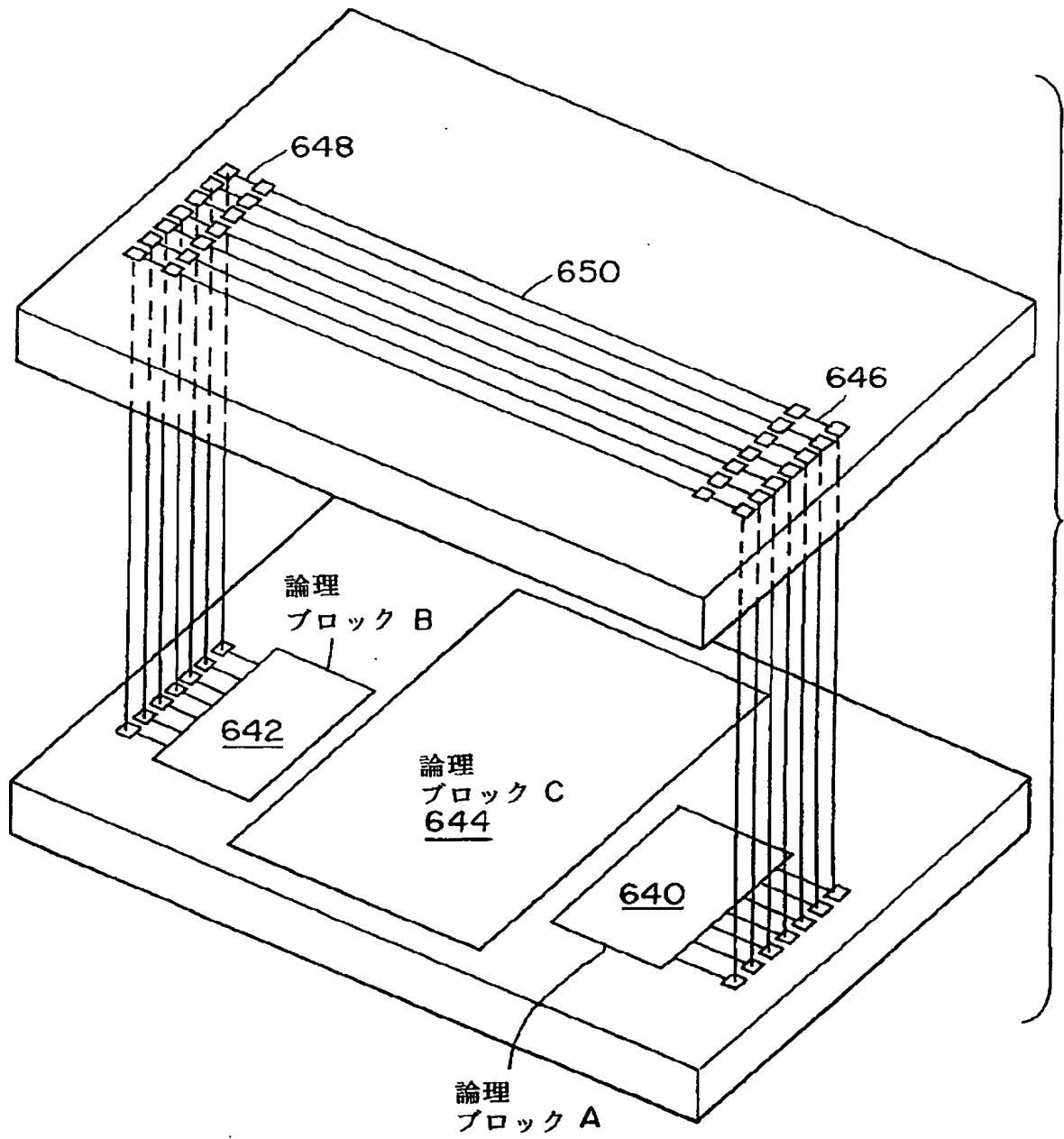


FIG. 9B

【図10】

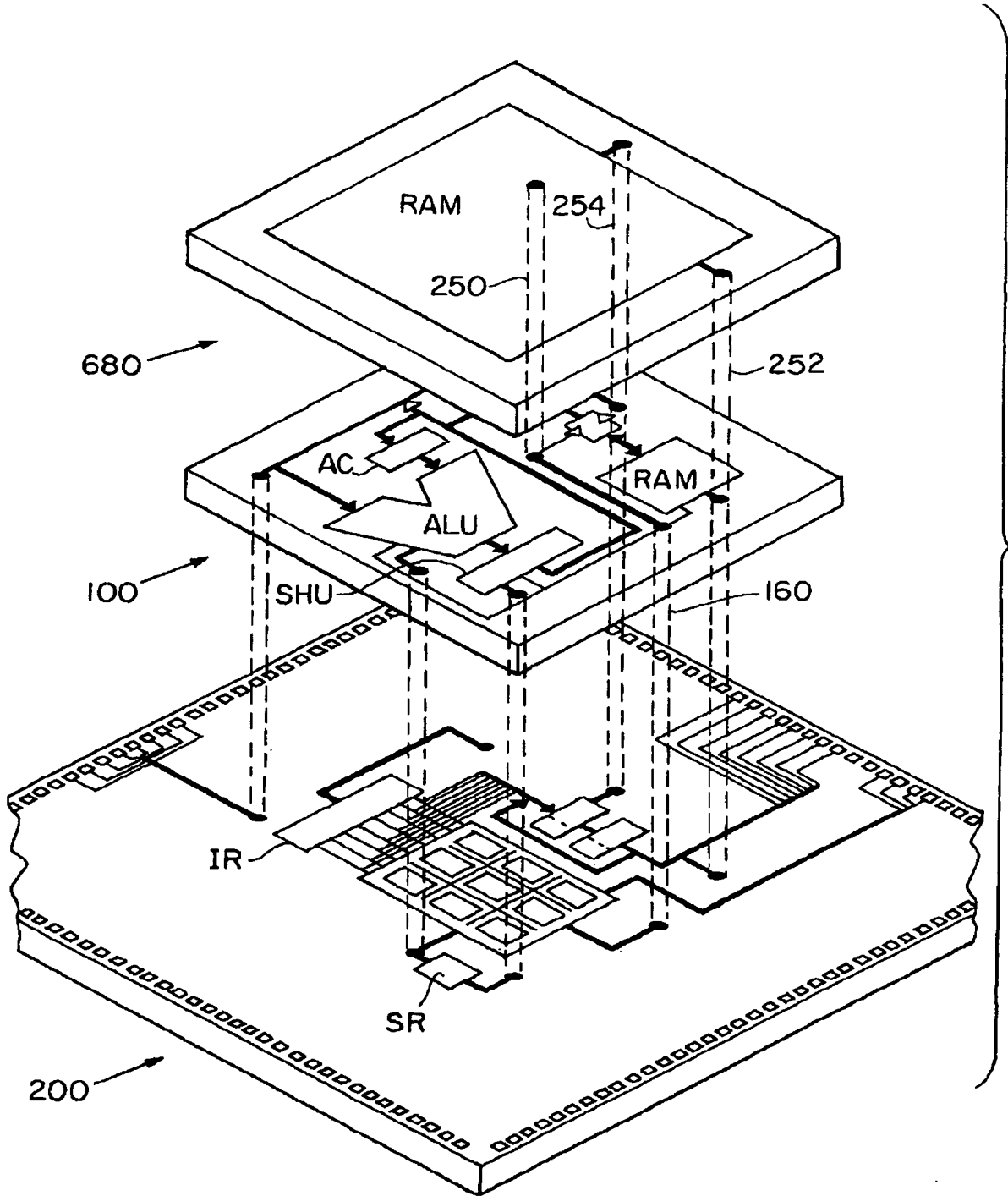


FIG. 10

【図11】

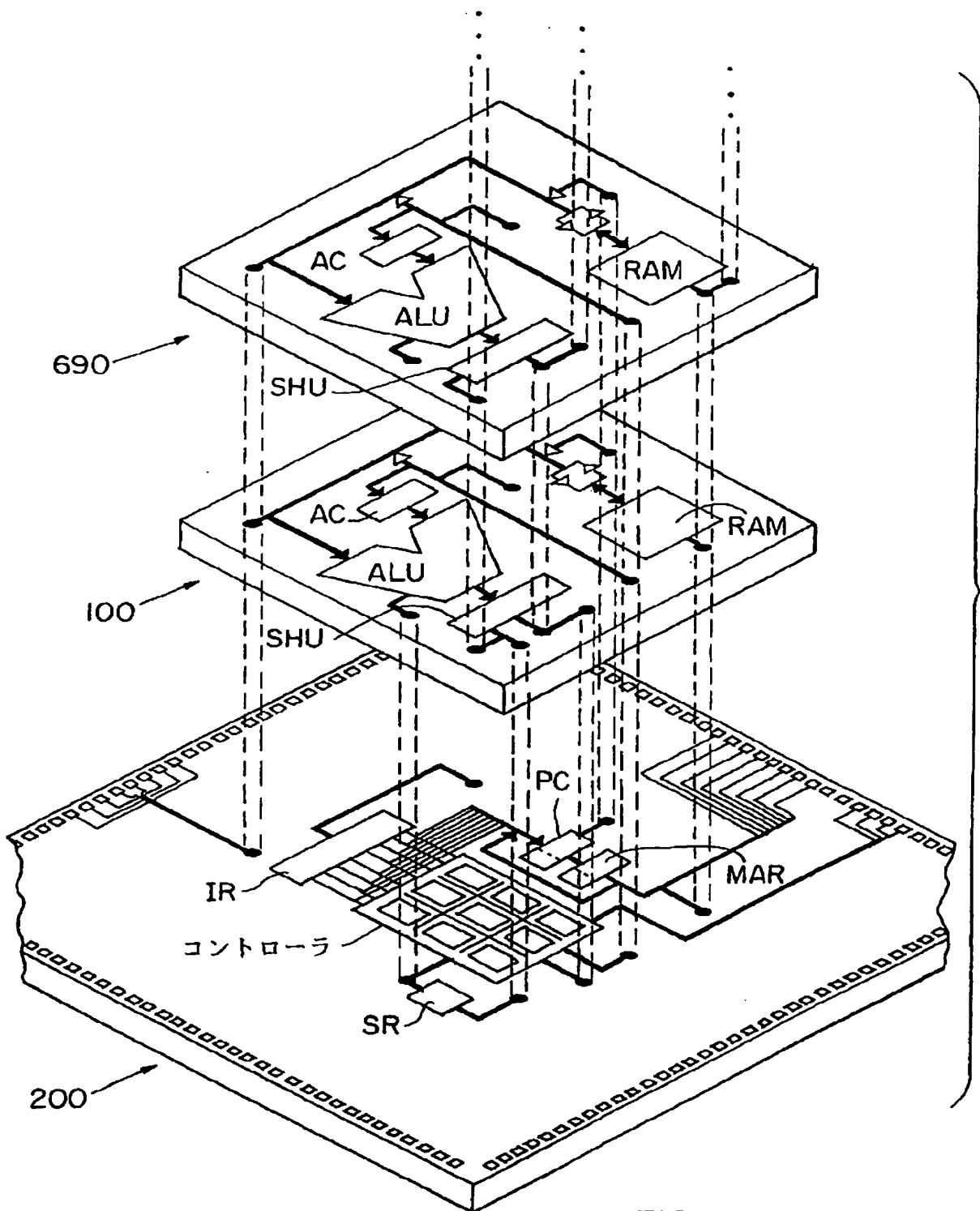
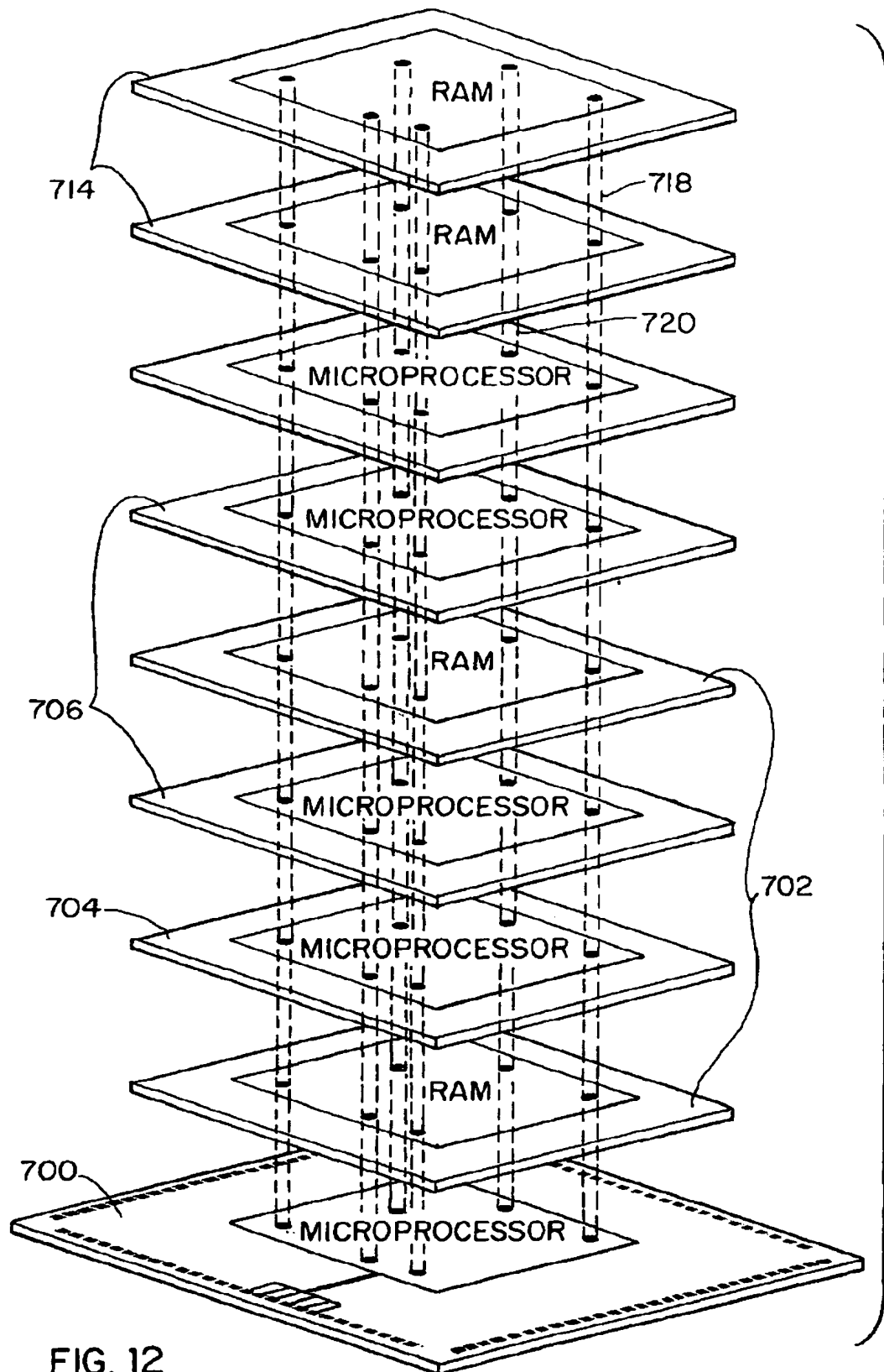
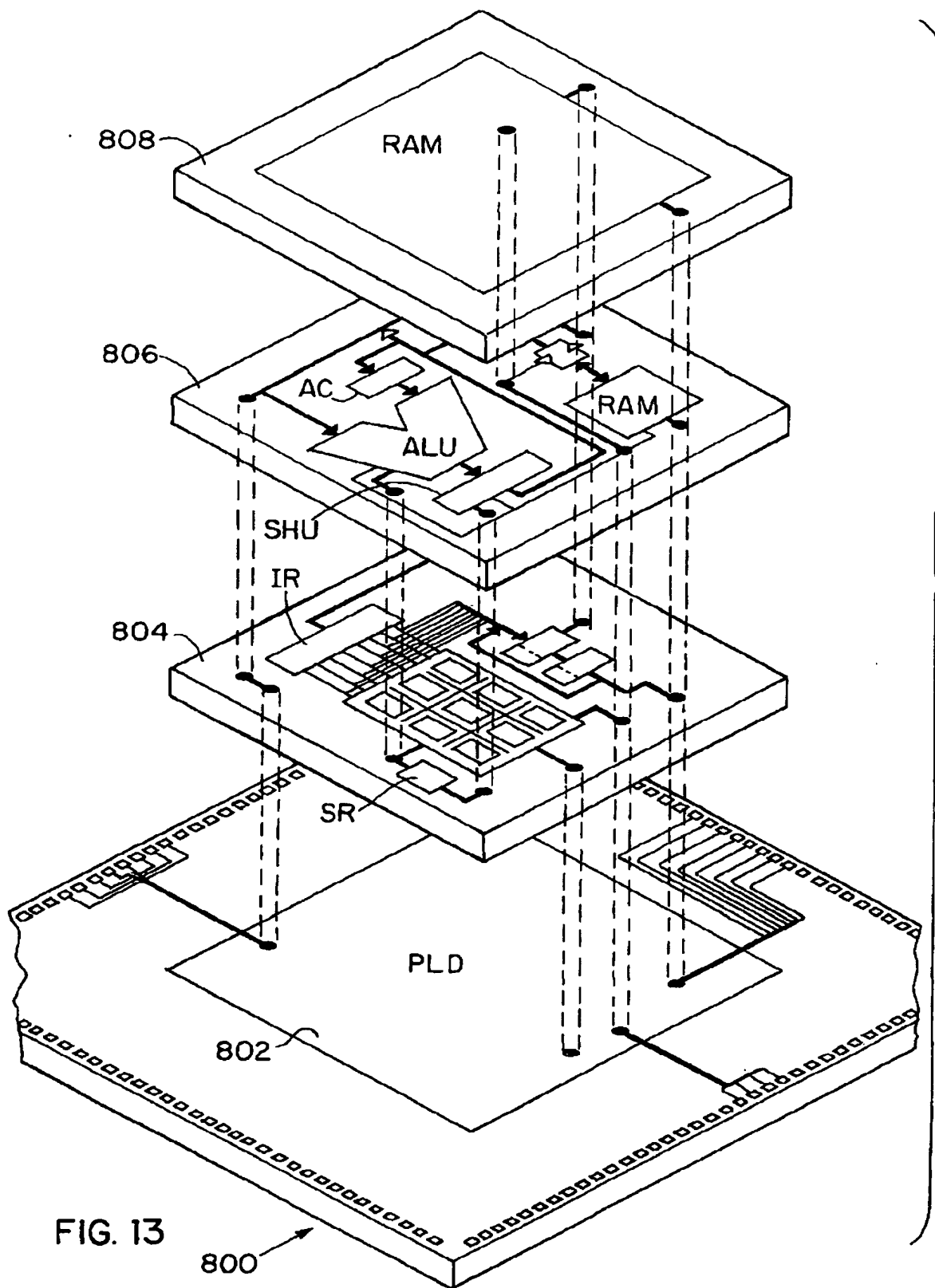


FIG. 11

【図12】



【図13】



【図14】

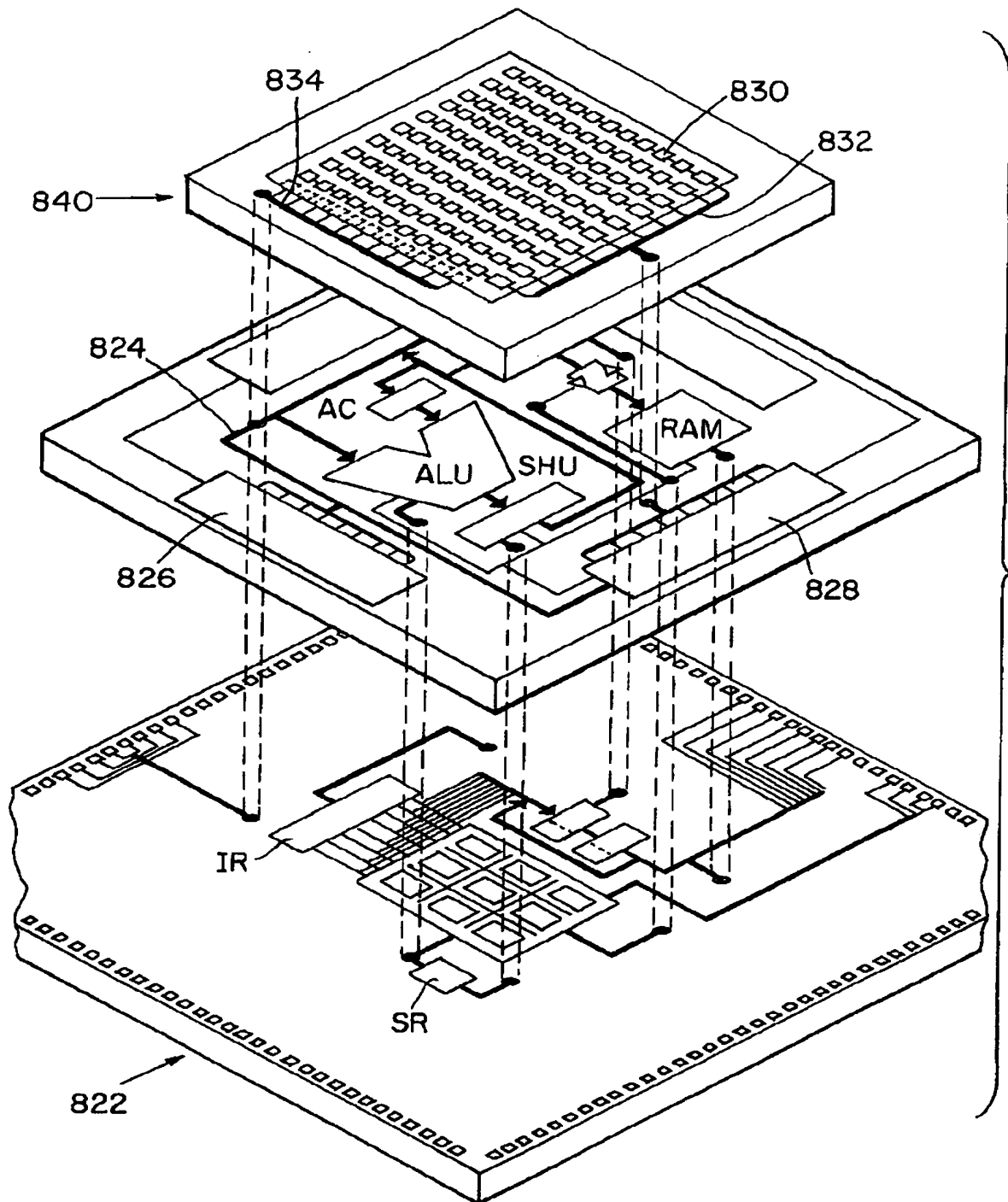
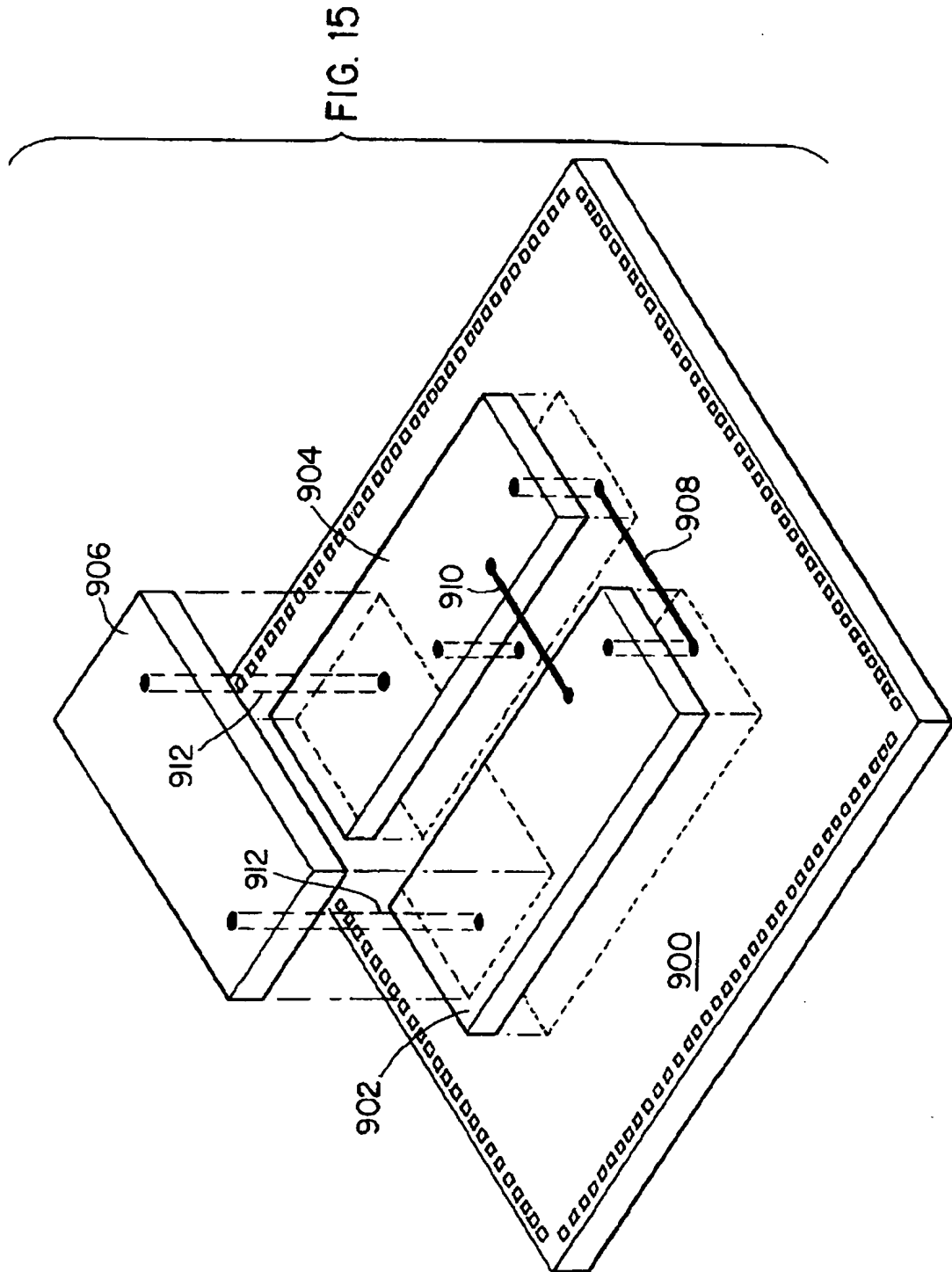


FIG. 14

【図15】



【図16】

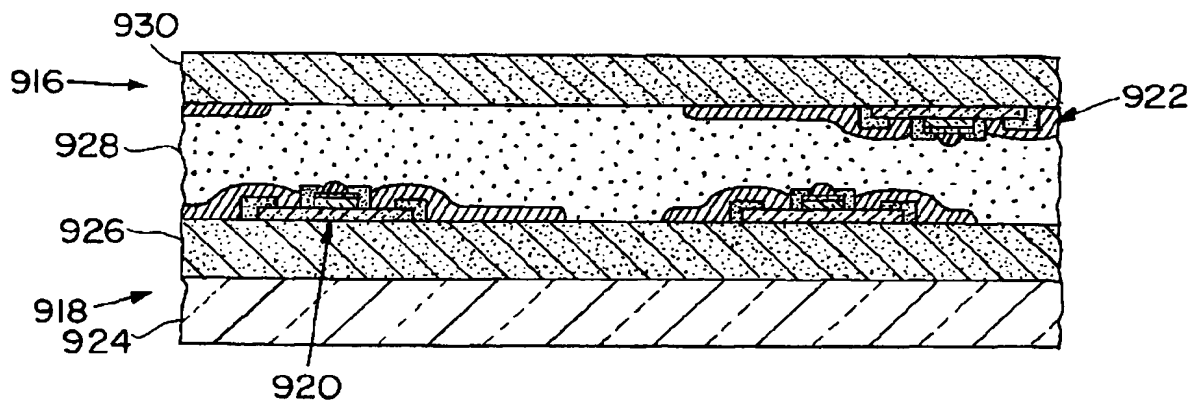


FIG. 16A

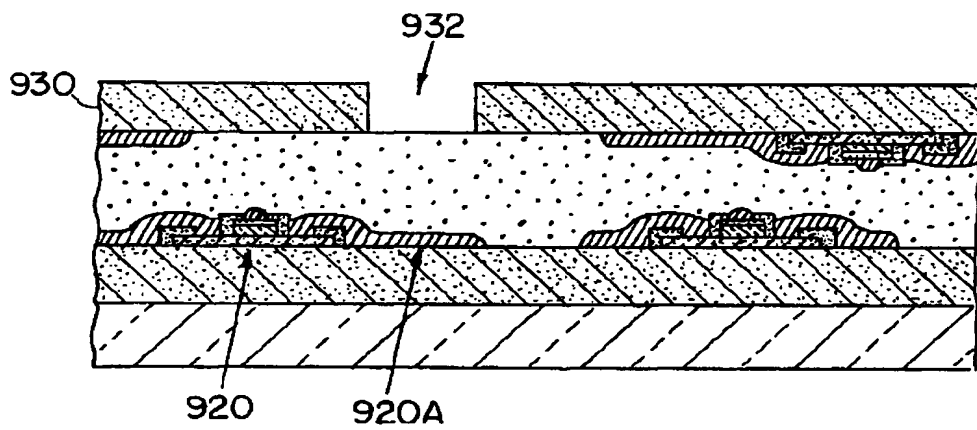


FIG. 16B

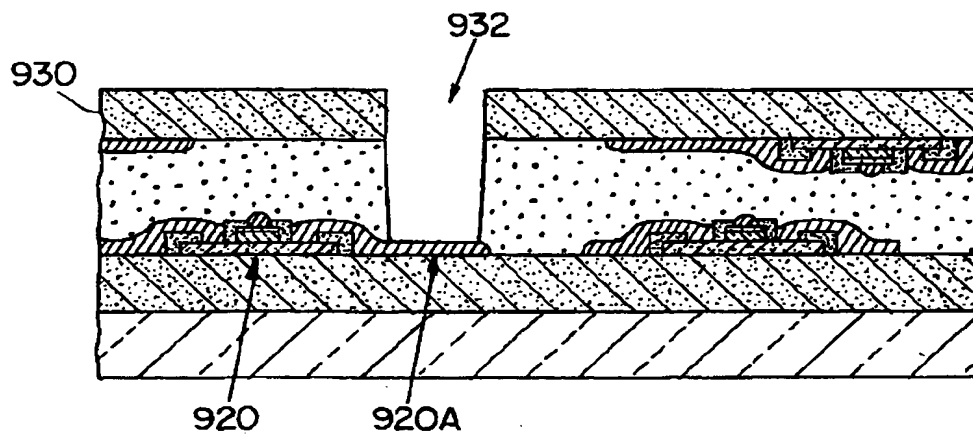


FIG. 16C

【図16】

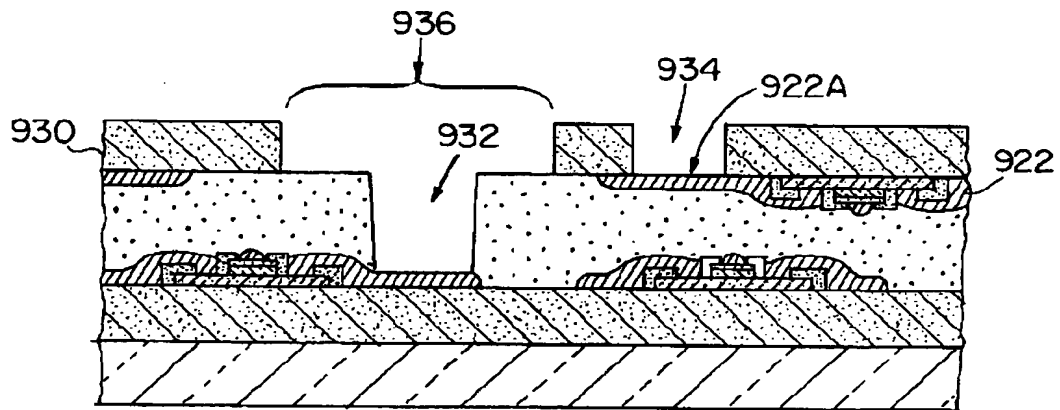


FIG. 16D

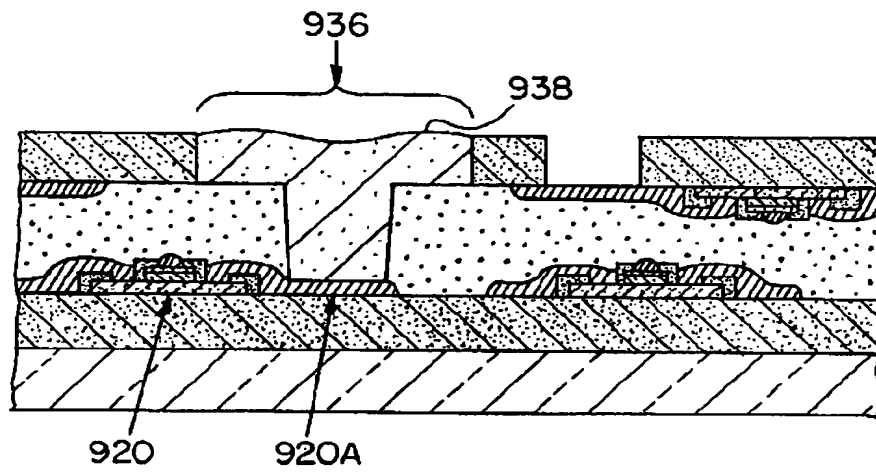


FIG. 16E

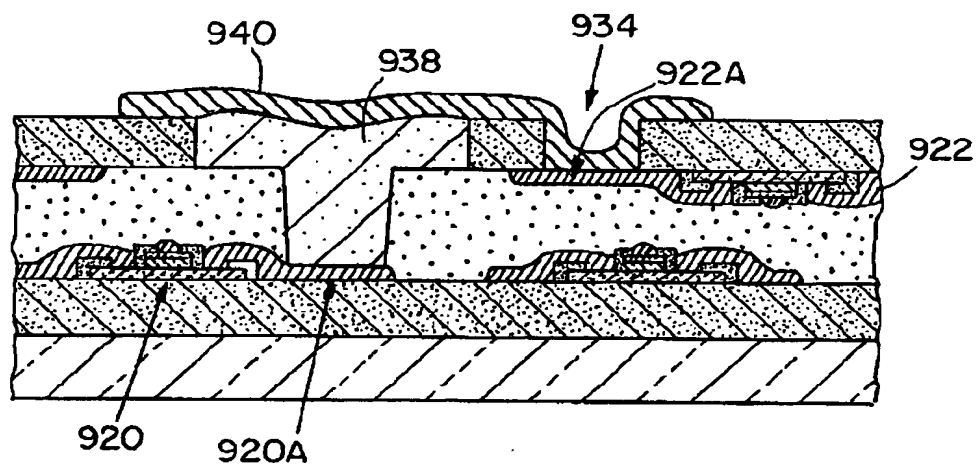


FIG. 16F

【手続補正書】特許法第184条の8

【提出日】1995年9月8日

【補正内容】

請求の範囲

1. 半導体材料において形成された第1データプロセッサ回路層(200)と、
半導体材料において形成された第2データプロセッサ回路層(100)と、
第1回路層(200)と第2回路層(100)の間に位置付けられ、それらを固着する接着層(402)と、
第1データプロセッサ回路層(200)と第2データプロセッサ回路層(100)の間にデータプロセッサ信号を導くために、接着層を貫通している相互接続部(140、432)とを具備するデータ処理デバイス。
2. 第1回路層(200)が、データ処理動作を制御するためにコントローラ(204)を具備し、そして第2回路層(100)が、相互接続部(140)を通してコントローラ(204)から送信された制御信号によって制御される論理ユニット(102)を具備する請求の範囲1に記載のデータ処理デバイス。
3. 第1回路層(200)が、コントローラ(204)を具備し、そして第2回路層が、コントローラ(204)によって制御されるように適合された発光デバイス(840)を具備する先行する請求の範囲のいずれか一つに記載のデータ処理デバイス。
4. 第1回路層(200)が、第1データ処理動作を行うコントローラ(204)及び論理ユニット(102)を具備し、そして第2回路層(100)が、第2データ処理動作を行うコントローラ(204)及び論理ユニット(102)を具備し、相互接続部(140)が、デバイス

が並列処理デバイスとして動作する如く、第1層(200)と第2層(100)の間の通信を可能にする先行する請求の範囲のいずれか一つに記載のデータ処理デバイス。
5. 信号を導く第1及び第2回路層に平行な平面において相互接続部(634)

、650)を有する第1層(200)と第2層(100)の間に回路経路指定層をさらに具備する先行する請求の範囲のいずれか一つに記載のデータ処理デバイス。

6. 第1回路層(200)又は第2回路層(100)が、メモリデバイス(808)をさらに具備する先行する請求の範囲のいずれか一つに記載のデータ処理デバイス。

7. 第1回路(200)又は第2回路(100)が、算術論理ユニット(806)を具備する先行する請求の範囲のいずれか一つに記載のデータ処理デバイス。

8. 第2回路層(100)との相互接続部(140)によって接続された第3回路層(690、806、840)をさらに具備し、相互接続部(140)が、第2回路層(100)に第3回路層(690、806、840)を固着する第2接着層(402)を貫通する先行する請求の範囲のいずれか一つにデータ処理デバイス。

9. 接着層(402)が、ポリマー材料を具備する先行する請求の範囲のいずれか一つに記載のデータ処理デバイス。

10. 接着層(402)が、熱伝導性エポキシを具備する先行する請求の範囲のいずれか一つに記載のデータ処理デバイス。

11. 接着層(402)が、さらに微粒子フィラーを具備する先行する請求の範囲のいずれか一つに記載のデータ処理デバイス。

12. 微粒子フィラーが、金属粒子を具備する請求の範囲11に記載のデータ処理デバイス。

13. 半導体材料の第1層(200)においてデータプロセッサの第1回路を形成することと、
半導体材料の第2層(100)においてデータプロセッサの第2回路を形成することと、
ボンディング層(402)で第1層(100)に第2層(200)を結合することと、

データプロセッサ信号が第1データプロセッサ回路(200)と第2データプロセッサ回路(100)の間に導かれるように、ボンディング層(402)を貫通している相互接続部(140、432)により、第1データプロセッサ回路(200)と第2データプロセッサ回路(100)を接続することを含むデータプロセッサを作製する方法。

14. 第1回路(200)においてコントローラ(204)を形成する段階と、
第2回路(100)において発光デバイス(840)を形成する段階とをさらに具備する請求の範囲13に記載の方法。

15. ボンディングの段階の後にボンディング層(402)を硬化させる段階をさらに具備し、この場合、相互接続する段階が、
第1回路と第2回路を電氣的に接続するための金属被覆層(432、444)を付着することによって置き換えられ、金属被覆層(432、444)は、第2層(100)から第1層(200)に流れる請求の範囲13又は14に記載の方法。

16. 基板(220)において第2回路層(100)を形成する段階と、
接続する段階の前に第2層(100)から基板(220)を除去する段階とをさらに具備する請求の範囲13～15のいずれか一つに記載の方法。

17. 単一転写プロセスにより、第2回路層(100)へ第1回路層(200)を転写する段階をさらに具備する請求の範囲13～16のいずれか一つに記載の方法。

18. 基板(220)上に第2回路層(100)を形成する段階と、転写本体へ第2層(100)を転写する段階と、
接続する段階の前に、第2層(100)から転写本体を除去する段階とをさらに具備する請求の範囲13～17のいずれか一つに記載の方法。

19. 二重転写プロセスにより、第1回路層(200)を第2回路層(100)に転写する段階をさらに具備する請求の範囲13～18のいずれか一つに記載の方法。

20. データプロセッサ信号が、回路経路指定層(634、650)に沿って第1及び第2回路の間に導かれる如く、第1回路層(200)と第2回路層(100)の間に回路経路指定層(634、650)を形成する段階をさらに具備する請求の範囲13~19のいずれか一つに記載の方法。

21. 回路経路指定層(634、650)の上に複数の第2回路層(906、904)をタイル化する段階をさらに具備する請求の範囲20に記載の方法。

22. 第1回路層(900)の上に複数の第2回路層(906、90

4)をタイル化する段階をさらに具備する請求の範囲13~21のいずれか一つに記載の方法。

23. 第2回路層(100)の上に第3回路層(690、806、840)を形成することをさらに具備する請求の範囲13~22のいずれか一つに記載の方法。

24. 第1回路層(200)と第2回路層(100)の上に複数の付加回路層(690、806、706)を形成することをさらに具備する請求の範囲13~23のいずれか一つに記載の方法。

25. 第1回路層(200)と第2回路層(100)の上に複数の付加回路層(690、806、706)を形成することをさらに具備する請求の範囲13~24のいずれか一つに記載の方法。

26. 第1回路(200)又は第2回路(100)においてコントローラ(204)を形成することをさらに具備する請求の範囲13~25のいずれか一つに記載の方法。

27. 第1回路(200)又は第2回路(100)においてメモリデバイス(808)を形成することをさらに具備する請求の範囲13~26のいずれか一つに記載の方法。

28. ポリマー接着剤(402)により、第2回路層(100)へ第1回路層(200)を結合することをさらに具備する請求の範囲13~27のいずれか一つに記載の方法。

29. 半導体材料の第1層(200)が、バルク半導体ウェーハ(220)を

具備する請求の範囲13～28のいずれか一つに記載の方法。

30. 第1回路層(200)又は第2回路層(100)が、シリコンを具備する請求の範囲13～29のいずれか一つに記載の方法。

31. 第1回路層(200)又は第2回路層(100)が、III-V材料を具備する請求の範囲13～30のいずれか一つに記載の方法。

32. シリコンオンインシュレータ(SOI)膜を層(200、100)に形成する段階をさらに具備する請求の範囲13～31のいずれか一つに記載の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No. PCT/US 94/11074		
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H01L25/18 H01L21/98		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of relevant passages	Relevant to claim No.
Y	WO,A,93 16491 (KOPIN CORPORATION) 19 August 1993 see claims 1,10 ---	1-3, 10-17
Y	EP,A,0 486 829 (SEIKO EPSON CORPORATION) 27 May 1992 see column 2, line 26 - line 37 see column 6, line 14 - line 45 ---	1-3, 10-17
A	PATENT ABSTRACTS OF JAPAN vol. 17, no. 9 (E-1303) 8 January 1993 & JP,A,04 240 762 (SEIKO INSTR INC) see abstract ---	1
A	EP,A,0 517 369 (NORTHERN TELECOM LTD) 9 December 1992 see column 4, line 40 - column 7, line 51 ---	21,30
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken into account</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search 4 January 1995		Date of mailing of the international search report 24. 01. 95
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Greene, S

INTERNATIONAL SEARCH REPORT

Inter-
national Application No
PCT/US 94/11074

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US,A,4 897 708 (CLEMENTS) 30 January 1990 see column 3, line 6 - column 4, line 43 -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 94/11074

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO-A-9316491	19-08-93	US-A- 5258325	02-11-93
		CA-A- 2129123	19-08-93
		EP-A- 0626099	30-11-94
		US-A- 5256562	26-10-93
		US-A- 5331149	19-07-94
		WO-A- 9318428	16-09-93
EP-A-0486829	27-05-92	JP-A- 4158565	01-06-92
EP-A-0517369	09-12-92	GB-A- 2255672	11-11-92
		JP-A- 5136152	01-06-93
US-A-4897708	30-01-90	US-A- 4954875	04-09-90

フロントページの続き

- (72) 発明者 ブ, ドウイーファチ
 アメリカ合衆国マサチューセッツ州02780ト
 ーントン・ベイストリート1559・ナンバー
 54
- (72) 発明者 デイングル, プレンダ
 アメリカ合衆国マサチューセッツ州02048マ
 ンスフィールド・ローンデイルロード142